

DIALOG(R) File 347:JAPIO  
(c) 1999 JPO & JAPIO. All rts. reserv.

04883665    \*\*Image available\*\*  
MANUFACTURE OF ELECTRON SOURCE, ELECTRON SOURCE MANUFACTURED BY THIS  
MANUFACTURING METHOD AND IMAGE FORMING DEVICE USING THIS ELECTRON SOURCE

PUB. NO.:        07-176265 [J P 7176265 A]

PUBLISHED:      July 14, 1995 (19950714)

INVENTOR(s):    SUZUKI HIDETOSHI

YAMAGUCHI EIJI

IWASAKI TATSUYA

OSADA YOSHIYUKI

TAKEDA TOSHIHIKO

ISONO SEIJI

NOMURA ICHIRO

TOSHIMA HIROAKI

SUZUKI TOMOTAKE

ONO TAKEO

HAMAMOTO YASUHIRO

TODOKORO YASUYUKI

KAWADE ISAAKI

SHINJO KATSUHIKO

OKUDA MASAHIRO

APPLICANT(s):   CANON INC [000100] (A Japanese Company or Corporation), JP  
(Japan)

APPL. NO.:      06-055493 [JP 9455493]

FILED:          March 25, 1994 (19940325)

INTL CLASS:     [6] H01J-009/02; H01J-001/30; H01J-031/12; H01J-031/15

JAPIO CLASS:    42.3 (ELECTRONICS -- Electron Tubes); 44.6 (COMMUNICATION --  
Television)

JAPIO KEYWORD: R002 (LASERS); R044 (CHEMISTRY -- Photosensitive Resins)

#### ABSTRACT

PURPOSE: To provide an electron source having a uniform electron emitting characteristic by having a current carrying forming process, performed by dividing a plurality of surface conduction type electron emitting elements into a plurality of groups, in a process of forming an electron emitting part.

CONSTITUTION: Lower wiring, interlayer insulating layer, upper wiring, element electrode, electron emitting part forming thin film, etc., are formed on an insulating board, to prepare a power supply board applying forming non-processed simple matrix wiring. Each surface conduction type emitting element D (1, 1) to D (6, 6) is connected to matrix wiring DX1 to DX6 and Dyl to Dy6. Now, a ground level is applied to the wiring DX3, and on the other hand prescribed potential is applied from a voltage source VE to except the DX3 of the X direction wiring, simultaneously with applying potential from VE to also the Dyl to Dy6. As a result, to both ends of the selected D (1, 3) to D (6, 3), voltage is applied to perform forming. On the other hand, in the other element, no forming is performed, to generate no deterioration and damage at all on the thin film.

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-176265

(43) 公開日 平成7年(1995)7月14日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 J	9/02	B		
	1/30	A		
	31/12	B		
	31/15	C		

審査請求 未請求 請求項の数41 O L (全 46 頁)

(21) 出願番号	特願平6-55493	(71) 出願人	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成6年(1994)3月25日	(72) 発明者	鎌 英俊 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
(31) 優先権主張番号	特願平5-77900	(72) 発明者	山口 英司 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
(32) 優先日	平5(1993)4月5日	(72) 発明者	岩崎 達哉 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
(33) 優先権主張国	日本 (J P)	(74) 代理人	弁理士 大塚 康徳 (外1名)
(31) 優先権主張番号	特願平5-78164		
(32) 優先日	平5(1993)4月5日		
(33) 優先権主張国	日本 (J P)		
(31) 優先権主張番号	特願平5-100087		
(32) 優先日	平5(1993)4月5日		
(33) 優先権主張国	日本 (J P)		

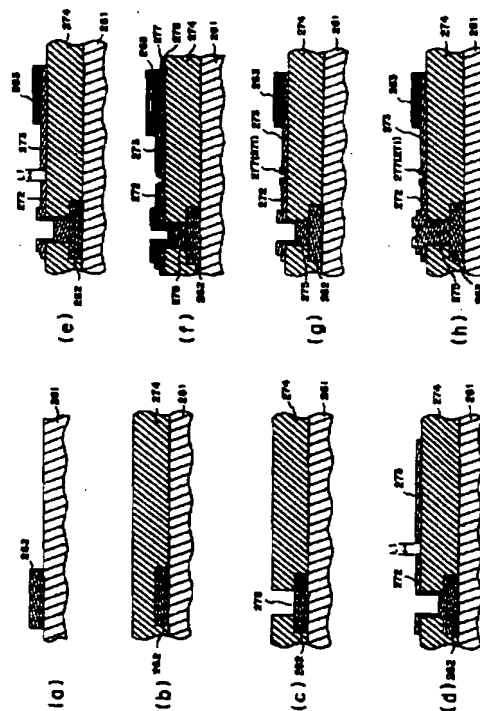
最終頁に続く

(54) 【発明の名称】 電子源の製造方法及び、該製造方法にて製造された電子源並びに該電子源を用いた画像形成装置

## (57) 【要約】

【目的】 均一な電子放出特性を有する電子源とその製造方法、及びこれら電子源を用いた表示品位の高い画像形成装置を提供することを目的とする。

【構成】 基体上に配置された複数の表面伝導型電子放出素子を有する電子源の製造方法において、表面伝導型電子放出素子の電子放出部を梯子状或はマトリクス状に配線し、そのX方向の配線及びY方向の配線を選択して電圧を印加することにより、複数の表面伝導型電子放出素子を複数群に分けて通電することによりフォーミングを行なって複数の電子源を形成する。



1

## 【特許請求の範囲】

【請求項1】 基体上に配置された複数の表面伝導型電子放出素子を有する電子源の製造方法において、該表面伝導型電子放出素子の電子放出部の形成工程は、該複数の表面伝導型電子放出素子を複数群に分けて行なわれる通電フォーミング工程を有することを特徴とする電子源の製造方法。

【請求項2】 前記電子源が、基体上に配置された複数の表面伝導型電子放出素子と、複数の行方向配線および複数の列方向配線とを有し、該表面伝導型電子放出素子の各々は行方向配線と列方向配線とに結線された構成を有する電子源の製造方法であって、前記表面伝導型電子放出素子の電子放出部の形成工程は、

前記行方向配線または前記列方向配線に結線された複数の表面伝導型電子放出素子を複数群に分けて行なわれる通電フォーミング工程を有することを特徴とする請求項1に記載の電子源の製造方法。

【請求項3】 前記フォーミング工程は、各行方向配線または各列方向配線に結線された複数の表面伝導型電子放出素子を一群とする各群に対して順次行なわれることを特徴とする請求項2に記載の電子源の製造方法。

【請求項4】 前記通電フォーミング工程は、前記行方向配線と前記列方向配線のうちいずれか一方の全ての配線群に電位V1を印加し、他方の配線群のうち一部の配線にV1とは異なる電位V2を印加し、残りの配線にV1を印加する工程を有することを特徴とする請求項2に記載の電子源の製造方法。

【請求項5】 前記通電フォーミング工程は、前記行方向配線と前記列方向配線のうちいずれか一方の全ての配線群に電位V1を印加し、他方の配線群のうち一部の配線にV1とは異なる電位V2を印加し、残りの配線にV1を印加する工程を繰り返すことを特徴とする請求項2に記載の電子源の製造方法。

【請求項6】 前記通電フォーミング工程は、前記行方向配線または前記列方向配線の片端に接続された給電部からの電力供給によって行なわれることを特徴とする請求項2に記載の電子源の製造方法。

【請求項7】 前記通電フォーミング工程は、前記行方向配線または前記列方向配線の両端に接続された給電部からの電力供給によって行なわれることを特徴とする請求項2に記載の電子源の製造方法。

【請求項8】 前記通電フォーミング工程は、前記電圧V2を印加する配線は、前記配線に結線された複数の表面伝導型電子放出素子の各素子に印加される電力のばらつきが小さい方の配線であることを特徴とする請求項4に記載の電子源の製造方法。

【請求項9】 前記通電フォーミング工程は、行方向に並設された表面伝導型電子放出素子の数をNX、列方向に並設された表面伝導型電子放出素子の数をNYとし、

2

行方向の一素子当たりの配線抵抗をrX、列方向の一素子当たりの配線抵抗をrYとすると、

$(NX \times NX - aNX) \times rX \leq (NY \times NY - aNY) \times rY$ のとき行方向配線を選択して行い、

$(NX \times NX - aNX) \times rX > (NY \times NY - aNY) \times rY$ のとき列方向配線を選択して行い、給電部が行方向配線あるいは列方向配線の片端に接続されているときは

$a=8$ 、または、給電部が行方向配線あるいは列方向配線の両端に接続されているときは $a=24$ であることを特徴とする請求項7に記載の電子源の製造方法。

【請求項10】 前記通電フォーミング工程は、前記行方向配線と前記列方向配線とに結線された表面伝導型電子放出素子の複数を一群とする、分割された各群に対して行われることを特徴とする請求項2に記載の電子源の製造方法。

【請求項11】 前記通電フォーミング工程は、前記行方向配線と前記列方向配線とに結線された表面伝導型電子放出素子の複数を一群とする、2つに分割された各群に対して行われることを特徴とする請求項2に記載の電子源の製造方法。

【請求項12】 前記通電フォーミング工程は、複数の行方向配線の一部の配線に電位V1を印加し、残りの配線にV1とは異なるV2を印加し、複数の列方向配線の一部の配線に電位V1を印加し、残りの配線にV1とは異なるV2を印加する工程を有することを特徴とする請求項9に記載の電子源の製造方法。

【請求項13】 前記複数群間は電氣的に開放されており、各群に対して行われる通電フォーミング工程の後に、各群間を電氣的に接続する工程を有することを特徴とする請求項1に記載の電子源製造方法。

【請求項14】 複数の表面伝導型電子放出素子が結線された配線が所望の間隔で電氣的に開放され、該表面伝導型電子放出素子が複数群に分割されている各群に対して行われる通電フォーミング工程の後に、各群を電氣的に接続する工程を有することを特徴とする請求項13に記載の電子源の製造方法。

【請求項15】 前記短絡工程は、低抵抗金属材料によるワイヤーボンディング工程であることを特徴とする請求項13に記載の電子源の製造方法。

【請求項16】 前記短絡工程は、低融点金属を加熱溶融させることで各群間を電氣的に短絡させる工程であることを特徴とする請求項13に記載の電子源の製造方法。

【請求項17】 前記複数群間は高インピーダンス部分を介して接続されており、各群に対して行われる通電フォーミング工程の後に、各群間を電氣的に短絡する工程を有することを特徴とする請求項1に記載の電子源の製造方法。

【請求項18】 複数の表面伝導型電子放出素子が結線された配線が所望の間隔で高インピーダンス部分を介し

10

20

30

40

50

て接続されて、該表面伝導型電子放出素子が複数群に分割されている各群に対して行われる通電フォーミング工程の後に、各群を電気的に短絡する工程を有することを特徴とする請求項17に記載の電子源の製造方法。

【請求項19】 前記短絡工程は、低抵抗金属材料によるワイヤーボンディング工程であることを特徴とする請求項17に記載の電子源の製造方法。

【請求項20】 前記短絡工程は、低融点金属を加熱溶融させることで各群間を電気的に短絡させる工程であることを特徴とする請求項17に記載の電子源の製造方法。

【請求項21】 前記高インピーダンス部分は、高抵抗率の金属からなることを特徴とする請求項17に記載の電子源の製造方法。

【請求項22】 前記高インピーダンス部分は、ニッケル・クロム合金薄膜であることを特徴とする請求項17に記載の電子源の製造方法。

【請求項23】 前記高インピーダンス部分は、前記接続周囲より幅が狭いことを特徴とする請求項17に記載の電子源の製造方法。

【請求項24】 前記高インピーダンス部分は、前記接続周囲より厚さが薄いことを特徴とする請求項17に記載の電子源の製造方法。

【請求項25】 基体上に配置され、配線により結線された複数の表面伝導型電子放出素子を有する電子源の製造方法において、

前記表面伝導型電子放出素子の電子放出部の形成工程は、

前記配線に接続配置された電気的接続手段からの通電により行われる通電フォーミング工程を有することを特徴とする電子源の製造方法。

【請求項26】 前記電気的接続手段は前記配線の複数箇所に接触配置されていることを特徴とする請求項25に記載の電子源の製造方法。

【請求項27】 前記電気的接続手段は前記配線の複数箇所に接触配置される複数の接触端子を有することを特徴とする請求項25に記載の電子源の製造方法。

【請求項28】 前記電気的接続手段は、前記配線の表面に互って接触可能な接触面を有することを特徴とする請求項25に記載の電子源の製造方法。

【請求項29】 前記電気的接続手段は、前記配線の抵抗よりも低抵抗な部材を含むことを特徴とする請求項25に記載の電子源の製造方法。

【請求項30】 更に、前記電気的接続手段の温度制御を行う工程を有することを特徴とする請求項25に記載の電子源の製造方法。

【請求項31】 前記電気的接続手段が接触配置される前記配線表面部分には、低抵抗金属が被覆されていることを特徴とする請求項25に記載の電子源の製造方法。

【請求項32】 前記配線が絶縁部材により被覆された

下層配線であって、該絶縁部材には、前記電気的接続手段と前記下層配線との接触を可能とするコンタクトホールが形成されていることを特徴とする請求項25に記載の電子源の製造方法。

【請求項33】 前記通電フォーミング工程は、前記配線に接触配置された電気的接続手段からの電力供給に加えて、前記配線の片端に接続された給電部からの電力供給によって行われることを特徴とする請求項25に記載の電子源の製造方法。

10 【請求項34】 前記通電フォーミング工程は、前記配線に接触配置された電気的接続手段からの電力供給に加えて、前記配線の両端に接続された給電部からの電力供給によって行われることを特徴とする請求項25に記載の電子源の製造方法。

【請求項35】 基体上に配置され、配線により結線された複数の表面伝導型電子放出素子を有する電子源の製造方法において、

20 該表面伝導型電子放出素子の電子放出部の形成工程は、前記配線を通じて前記各素子に電力を供給することにより行われる通電フォーミング工程を有し、該通電フォーミング工程は、前記各素子への印加電力あるいは印加電圧を全素子で実質的に一定となるように制御する工程を有することを特徴とする電子源の製造方法。

【請求項36】 前記印加電力あるいは印加電圧の制御工程は、前記各素子のフォーミング前に随時行われることを特徴とする請求項35に記載の電子源の製造方法。

30 【請求項37】 前記印加電力あるいは印加電圧の制御工程は、前記配線に結線された複数の素子のうち、フォーミングされた素子の位置を検知し、前記位置に応じて他の素子のフォーミングに要する印加電力あるいは印加電圧の制御を行う工程を有することを特徴とする請求項35に記載の電子源の製造方法。

【請求項38】 前記通電フォーミング工程は、前記配線の片側に接続された給電部からの電力供給により行われ、前記配線に結線された該複数の素子のうち該配線の両端部に位置する素子から中央部に位置する素子に向けて前記給電部に印加する電圧が大きくなるように印加電圧の制御を行う工程を有することを特徴とする請求項35に記載の電子源の製造方法。

40 【請求項39】 前記通電フォーミング工程は、前記配線の両端に接続された給電部からの電力供給により行われ、前記配線に結線された前記複数の素子のうち該配線の一端と中央部とに位置する素子から配線の1/4の長付近に位置する素子に向けて前記給電部に印加する電圧が大きくなるように印加電圧の制御を行う工程を有することを特徴とする請求項35に記載の電子源の製造方法。

【請求項40】 基体上に配置された複数の表面伝導型電子放出素子を有する電子源において、請求項1～39項の少なくともいずれか1項に記載の製造方法にて製造

された電子源。

【請求項41】 基体上に配置された複数の表面伝導型電子放出素子を有する電子源と、該電子源からの電子線の照射により画像を形成する画像形成部材とを有する画像形成装置において、前記電子源が請求項1〜39項の少なくともいずれか1項に記載の製造方法にて製造された電子源である画像形成装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、電子源及びその応用である画像形成装置及びその製造方法に関するものである。

【0002】

【従来の技術】従来、電子放出素子としては熱電子源と冷陰極電子源との2種類が知られている。冷陰極電子源には電界放出型（以下、FE型と略す）、金属／絶縁層／金属型（以下、MIM型と略す）や表面伝導型電子放出素子（以下、SCEと略す）等がある。FE型の例としては、W.P.Dyke & W.W.Dolan, "Field emission", Advance in Electron Physics, 8, 89(1956)あるいは、C.A.Spindt, "PHYSICAL Properties of thin-film field emission cathodes with molybdenum cones", J. Appl. Phys., 47, 5248(1976)等が知られている。

【0003】MIM型の例としては、C.A.Mead, "The Tunnel-emission amplifier, J. Appl. Phys., 32, 646(1961)等が知られている。SCE型の例としては、M.I.Elinson, Radio Eng. Electron Phys., 10, (1965)等がある。

【0004】SCE型は、基板上に形成された小面積の薄膜に、膜面に平行に電流を流すことにより電子放出が生ずる現象を利用するものである。この表面伝導型電子放出素子としては、前記エリンソン等によるSnO<sub>2</sub>薄膜を用いたもの、Au薄膜によるもの[G.Dittmer: "Thin Solid Films", 9, 317(1972)]、In<sub>2</sub>O<sub>3</sub>/SnO<sub>2</sub>薄膜によるもの、[M.Hartwell and C.G.Fonstad: "IEEE Trans. ED Conf.", 519(1975)]、カーボン薄膜によるもの[荒木 久 他: 真空、第26巻、第1号、22頁(1983)]等が報告されている。

【0005】これらの表面伝導型電子放出素子の典型的な素子構成として、前述のM. ハートウェルの素子構成を図1に示す。同図において1は絶縁性基板である。2は電子放出部形成用薄膜で、H型形状のパターンに、スパッタで形成された金属酸化物薄膜などからなり、後述のフォーミングと呼ばれる通電処理により電子放出部3が形成される。4は電子放出部を含む薄膜と呼ぶことにする。尚、図中の素子電極間隔Lは、0.5〜1mm、Wは0.1mmで設定されている。尚、電子放出部3の位置及び形状については、不明であるので模式図として表した。

【0006】従来、これらの表面伝導型電子放出素子においては、電子放出を行う前に電子放出部形成用薄膜2に対して、予めフォーミングと呼ばれる通電処理によ

て電子放出部3を形成するのが一般的であった。即ち、フォーミングとは前記電子放出部形成用薄膜2の両端に直流電圧あるいは非常にゆっくりとした昇電圧、例えば1V/分程度を印加通電し、電子放出部形成用薄膜2を局部的に破壊、変形もしくは変質せしめ、電氣的に高抵抗な状態にした電子放出部3を形成することである。

尚、電子放出部3は電子放出部形成用薄膜2の一部に亀裂が発生し、その亀裂付近から電子放出が行われる。以下、フォーミングにより形成した電子放出部を含む電子放出部形成用薄膜2を、電子放出部を含む薄膜4と呼ぶ。前記フォーミング処理をした表面伝導型電子放出素子は、上述電子放出部を含む薄膜4に電圧を印加し、素子に電流を流すことにより、上述電子放出部3より電子を放出せしめるものである。しかしながら、これら従来の表面伝導型電子放出素子においては、実用化にあたっては様々な問題があったが、本出願人は、後述する様な様々な改善を鋭意施し、実用化上の様々な問題点を解決してきた。

【0007】上述の表面伝導型放出素子は、構造が単純で製造も容易であることから、大面積に亘り多数の素子を配列形成できる利点がある。そこで、この特徴を生かせるようないろいろな応用が研究されている。例えば、荷電ビーム源、表示装置等があげられる。多数の表面伝導型放出素子を配列形成した例としては、後述する様に、梯子型配置と呼ぶ並列に表面伝導型電子放出素子を配列し、個々の素子の両端を配線（共通配線とも呼ぶ）にてそれぞれ結線した行を多数行配列した電子源があげられる（例えば、本出願人の特開平1-031332）。また、特に表示装置等の画像形成装置においては、近年、液晶を用いた平板型表示装置が、CRTに代わって普及してきたが、自発光型でないため、バックライト等を持たなければならない等の問題点があり、自発光型の表示装置の開発が望まれてきた。表面伝導型放出素子を多数配置した電子源と、電子源より放出された電子によって可視光を発光せしめる蛍光体を組み合わせた表示装置である画像形成装置は、大画面の装置でも比較的容易に製造でき、かつ表示品位の優れた自発光型表示装置である（例えば、本出願人のUSP5066883）

【発明が解決しようとする課題】しかしながら、上記の多数の表面伝導型電子放出素子を基板上に設置した電子源、及びそれを用いた画像形成装置の製造方法、特に、前述のフォーミング工程に由来する次のような問題点があった。

【0008】画像形成装置において、高品位な映像を得るため必要な電子放出素子数は非常に多くなり、電子放出素子を製造する際のフォーミング工程において、上記複数の表面伝導型電子放出素子を結び、外部電源から電力を各素子に供給する配線（これを共通配線と呼ぶ）を流れる電流は大きなものとなる。その結果以下のような不都合が生じた。

【0009】(1) 共通配線の抵抗で生じる電圧降下のため各素子ごとに印加される素子印加電圧に勾配が発生し、フォーミング工程での素子印加電圧に差異を生ずるために、形成される電子放出部も変化し、素子特性が不均一となる。

【0010】(2) フォーミング工程を共通配線を利用した通電で行うため、通電による配線での電力が熱として消費され、基板上に温度の分布を発生させる。これは各部の素子温度に分布を与えてしまい、形成される電子放出部も変化し、素子ごとの特性のバラツキが生じやすい。

【0011】(3) 電子放出部の形成を配線を利用した通電で行うため、通電による配線での電力が熱として消費され、基板に熱ダメージを与え、衝撃に対する強度を低下させる。

【0012】以下、これらの問題点を、複数の電子放出素子の基板上での配置を前述の梯型配置で説明するが、後述の単純マトリクス配置でも、後述する様に、同様の問題が生ずる。

【0013】上述(1)の問題に関し、更に詳しく説明するため図3、図4を示す。図3(a)、図4(a)は電子放出素子と配線抵抗及び電源を含む等価回路図であり、図3(b)、図4(b)は、各素子の高電位側と低電位側の電位を示す図であり、図3(c)、図4(c)は、各素子の高電位側と低電位側の電位の差電圧、即ち素子印加電圧を示す図である。

【0014】図3(a)は、並列接続されたN個の電子放出素子D1-DNと電源VEを配線端子TH、TLを通して接続した回路を示すもので、電源と素子D1を、また電源のグランドと素子DNを接続したものである。また、各素子を並列に結ぶ共通配線は、図に示すように隣接する素子間で、rの抵抗成分を有するものとする(画像形成装置では、電子線のターゲットとなる画素は、通常、等ピッチで配列されている。従って、電子放出素子も空間的に等間隔をもって配列されており、これらを結ぶ配線は幅や膜厚が製造上ばらつかない限り、素子間でほぼ等しい抵抗値を持つ)。また、電子放出素子D1-DNは、ほぼ等しい抵抗値Rdを有するものとする。図3(c)から明らかなように、図3(a)のような回路の場合には、両端の素子(D1及びDN)に近い程大きな電圧が印加され、中央部付近の素子では印加電圧が低くなる。

【0015】一方、図4に示すのは、並列接続された素子列の片側(本図では素子D1側)に電源の正負極を接続した場合である。各素子に印加される電圧は、図4(c)に示すようにD1に近い程大きなものとなる。

【0016】以上二つの例で示したような素子毎の印加電圧のばらつきの程度は、並列接続される素子の総数Nや、素子抵抗Rdと配線抵抗rの比( $=Rd/r$ )や、あるいは、電源の接続位置により異なるが、一般にはNが

大きい程、 $Rd/r$ が小さい程ばらつきは顕著となり、また、前記図3よりも図4の接続方法の方が、素子に印加される電圧のばらつきが大きい。また、上記二つの例とは異なるが、図5に示すような単純マトリクス配線においても、配線抵抗rx及びryで生じる電圧降下により、各素子毎の印加電圧にばらつきが生じる。以上説明したように、複数の素子を共通配線で接続する場合、素子抵抗Rdに対して配線抵抗を十分小さくしないと、素子毎の印加電圧がばらつくことになる。

【0017】一方、発明者らが鋭意検討した結果、電子放出素子の電子放出部を形成する過程のフォーミングを行う場合、電子放出部を形成するための、電圧あるいは、電力は、素子の形状即ち、図1の電子放出部形成用薄膜2の材料、膜厚、およびW、Lなどの形状が同じであれば、同じ電圧あるいは電力でフォーミングされる。この素子固有の電圧あるいは、電力をそれぞれ、素子のフォーミング電圧Vform、フォーミング電力Pformと呼ぶ。このVformあるいはPformより極度に高電圧、高電力を素子に与えてフォーミング工程を行うと、素子の電子放出部の形態的变化が極度に起こり、電子放出特性が劣化し、それ以下であると、当然のことながら、電子放出部が形成されないことがわかった。

【0018】他方、前述した様に、共通配線で結線された複数の素子を、同時に外部の電源より、共通配線を通じた電圧供給でフォーミング工程を行う場合、配線での電圧降下により、各素子への素子印加電圧に差異が生じ、素子印加電圧が前述のフォーミング電圧Vform、フォーミング電力Pformより過剰の電圧、電力が印加される素子が発生する。これらの素子の電子放出部が劣化し、複数の素子の電子放出特性が大きくばらつくことが定性的にわかる。尚、定量的取扱については、後述の実施態様に述べる。

【0019】従って、フォーミング工程での素子印加電圧のばらつきを防止するためには、複数の素子を結線し、電源まで導く共通配線は、低抵抗な配線とする必要が生ずる。また、共通配線に結線された素子数の増加に伴い、その配線への要求は、さらに厳しいものとなる。これは、電子源および画像形成装置の構造設計や製造プロセスの自由度に大幅な制限を付加することになり、し

【0020】次に上記(2)(3)の問題点について更に詳しく説明する。

【0021】フォーミングでは、素子に通電により電子放出部を形成するのであるが、共通配線、および素子では、通電により電力が消費され、ジュール熱に変換され、基板温度の上昇を伴う。一方、素子の電子放出部形成の際の形態的变化は、温度の影響も受けやすい。従って、基板温度のばらつきや変動は、素子の電子放出特定に影響を与えることになる。特に複数の素子を配置した電子源および画像形成装置においては、同時にフォーミ

ングを行う素子数の増加をとめない、前述の共通配線での電圧降下によるばらつきだけでなく、問題が大きくなる。例えば、基板の中央部と、熱の逃げが存在する端部とで基板の上昇温度に分布が発生し、中央部の温度が端部より上昇してしまい、電子放出特性のばらつきを生ずることとなる。結果として、各素子の電子放出特性のばらつきにより、画像形成装置にした場合は輝度に差が出るなどの不都合が起きてしまい、画像品位が低下する。

【0022】また同時に、これら発生した熱は、基板に対して熱的衝撃あるいは歪を与え、特に、真空装置とした画像形成装置で、大気圧に耐える容器構造とした場合には破損などの安全性の問題を生ずる。

【0023】以上のような問題により、更には以下の不都合が発生する。

【0024】(1) 共通配線することが可能な素子の数が事実上、制限されてしまう。

【0025】(2) 配線抵抗を低くするために、AuやAgなど比較的高価な材料を使用する必要が生じ、原材料費が上昇する。

【0026】(3) 配線抵抗を低くするために配線電極を厚く形成する必要が生じ、電極の形成やパターニングといった製造プロセスに要する時間や装置設備の値段を増大させる。

【0027】本発明は上記従来例に鑑みてなされたもので、均一な電子放出特性を有する電子源および表示品位の高い画像形成装置を提供することを目的とする。

【0028】本発明の目的は、フォーミング中における表面伝導型電子放出素子への電圧、電流の回り込みを防止して、配線による電圧降下によるフォーミング電圧或は電力の分布を減少して特性のバラツキをなくして電子源を作成するようにした電子源の製造方法を提供することにある。

【0029】また本発明の他の目的は、製造の歩留まりを改良した電子源及び該電子源の製造方法を提供することにある。

【0030】更に本発明の他の目的は、配線抵抗を低くするために配線電極を厚くするなどの必要が無く、製造プロセスに要する時間を短縮できる電子源とその製造方法を提供することにある。

【0031】また本発明の他の目的は、品位の高い画像を形成できる画像形成装置を提供することにある。

【0032】

【課題を解決するための手段】上記目的を達成するために本発明の電子源の製造方法は以下のような工程を備える。即ち、基体上に配置された複数の表面伝導型電子放出素子を有する電子源の製造方法において、該表面伝導型電子放出素子の電子放出部の形成工程は、該複数の表面伝導型電子放出素子を複数群に分けて行なわれる通電フォーミング工程を有する。

【0033】また本発明の電子源は、本発明の製造方法

により製造された複数の表面伝導型電子放出素子を有する。

【0034】更に本発明の画像形成装置は、本発明の電子源の製造方法により製造された複数の表面伝導型電子放出素子を有する電子源からの電子線の照射により画像を形成するように動作する。

【0035】

【作用】以上の構成において、表面伝導型電子放出素子の電子放出部は、複数の表面伝導型電子放出素子を複数群に分けて行なわれる通電フォーミング工程により形成される。

【0036】本発明は、複数の電子放出素子を基板上に配置した電子源、および画像形成装置およびその製造方法において、複数の電子放出素子の電子放出部を形成するフォーミング工程で、基板上の全電子放出素子全て同時に行わず、複数に分割し、順次フォーミングしていくこと、あるいは、配線以外の電気的接続手段を用いることで配線を流れる電流値を小さくしたものであり、上記問題点を解決した複数の電子放出素子からなる電子源及び画像形成装置を提供するものである。以下にその手段を具体的に述べる。

【0037】A. 所望の部分の素子群にのみ電圧が印加され、それ以外の素子群に電圧が印加されないように外部給電機構を設ける。

【0038】B. 所望の部分の素子群がフォーミングされる際、各素子がほぼ同じ電圧、あるいは同じ電力でフォーミングされるような機構を設ける。

【0039】上記Aに関し、具体的な手段としては以下の方法を説明する。

【0040】A-1. 行列状に縦横に並んだ単純なマトリクス配線でそれぞれ結線された電子放出素子を具備した構成において、少なくとも1本以上の行の配線に電位V1、それ以外の行の配線にV1とは異なる電位V2を印加し、すべての列配線には電位V2を印加してフォーミングを行う。それを繰返す。

【0041】更に、行方向と列方向に並んだ素子数をN<sub>x</sub>, N<sub>y</sub>, 各方向の1素子あたりの配線抵抗をr<sub>x</sub>, r<sub>y</sub>とし、

$(N_x \times N_x - a N_x) \times r_x \leq (N_y \times N_y - a N_y) \times r_y$  40  
ならx方向にフォーミングする

$(N_x \times N_x - a N_x) \times r_x > (N_y \times N_y - a N_y) \times r_y$   
ならy方向にフォーミングする

但し、a=8 : 給電部がxあるいはyの片端にある場合

a=24 : 給電部がxあるいはyの両端にある場合

同様に、行あるいは列を順次選択してフォーミングを行う。

【0042】A-2. 行列状に縦横に並んだ単純なマトリクス配線でそれぞれ結線された電子放出素子を具備した構成において、少なくとも1本以上全数未満の行の配

線に電位V1、それ以外の行の配線にV1とは異なる電位V2を印加し、少なくとも1本以上、全数未滿の列配線には電位V1、それ以外の列配線には電位V2を印加する。

【0043】又、前記Bに関し、具体的には以下の手段が考えられる。

【0044】B-1. 共通配線の端子からフォーミング時の電圧を給電するのではなく、これとは別に設けられた電気的接続手段を介してフォーミング電圧を印加する。

【0045】上記の電気的接続手段は、前記素子共通配線の複数の箇所とフォーミング用電圧源との間を低インピーダンスで接続するものであり、かつ、フォーミング完了後は、容易に接続を解除することが可能な構造を有するものである。更に、前記電気的接続手段は熱伝導性の良い材料で構成され、温度コントローラにより昇温、冷却を制御する機構を備えている。

【0046】B-2. 共通して電子放出素子を接続する行または列方向の配線少なくとも一方を所定間隔で高インピーダンス部分を設けるか、あるいは分割した構成で、その一部にフォーミング電圧を印加し、フォーミング処理を終了後、高インピーダンス部あるいは分割部を接続する。

【0047】B-3. 1次元あるいは2次元に配列した電子放出素子をフォーミングする際に、フォーミングされた素子の位置が特定されるように、あるいはフォーミング済みの素子の位置を検知しながら、給電端子に印加する電圧を制御して印加する。

【0048】尚、上記本発明における手段A1, A2, B1, B2, B3は、それぞれ個別に実施しても効果があるが、併用して実施されても良い(以下は本発明の手段を、手段A1, A2, B1, B2, B3と呼ぶ)。次に本発明における好ましい実施態様を示す。

【0049】、上記問題を解決するための手段は、前述した従来の電子放出素子、MIM型電子出力素子あるいは表面伝導型電子放出素子を複数配置した電子源及び画像形成装置において応用可能であるが、以下に述べる本発明者などによる表面伝導型電子放出素子において特に効果は大きい。

【0050】本発明の一実施例に係わる表面伝導型電子放出素子の基本的な構成は、平面型及び垂直型の2つの構成があげられる。

【0051】まず、平面型表面伝導型電子放出素子について説明する。

【0052】図6(a)、図6(b)はそれぞれ、本発明に係る基本的な表面伝導型電子放出素子の構成を示す模式的平面図及び断面図である。図6を参照して本発明の素子の基本的な構成を説明する。

【0053】図6において、61は基板、65と66は素子電極、64は電子放出部を含む薄膜、63は電子放

出部である。基板61としては、石英ガラス、Na等の不純物含有量を減少したガラス、青板ガラス、青板ガラスにスパッタ法などにより形成したSiO<sub>2</sub>を積層したガラス基板など及びアルミナ等のセラミックス等が上げられる。

【0054】対向する素子電極65, 66の材料としては導電性を有するものであればどのようなものであっても構わないが、例えばNi, Cr, Au, Mo, W, Pt, Ti, Al, Cu, Pd等の金属あるいは合金及びPd, Ag, Au, RuO<sub>2</sub>, Pd-Ag等の金属あるいは金属酸化物とガラス等から構成される印刷導体、In<sub>2</sub>O<sub>3</sub>-SnO<sub>2</sub>などの透明導伝対及びポリシリコン等の半導体導体材料等が挙げられる。

【0055】素子電極間隔L1は、数百オングストロームより数百マイクロメートルであり、素子電極の製法の基本となるフォーミングとリソグラフィ技術、即ち、露光機の性能とエッチング方法等、及び素子電極間に印加する電圧と、電子放出し得る電解強度等により設定されるが、好ましくは数マイクロメートルより数十マイクロメートルである。素子電極長さW1、素子電極5, 6の膜厚dは、電極の抵抗値、多数配置された電子源の配置上の問題より適宜設計され、通常は、素子電極長さW1は、数マイクロメートルより数百マイクロメートルであり、素子電極5, 6の膜厚dは、数百オングストロームより数マイクロメートルである。

【0056】基板61上に設けられた対向する素子電極65と素子電極66間及び素子電極65, 66上に接地された電子放出部を含む薄膜64は、電子放出部63を含むが、図6(b)に示された場合だけでなく、素子電極65, 66上には、設置されない場合もある。即ち、基板61上に、電子放出部形成用薄膜62、対向する素子電極65, 66の電極順に積層構成した場合である。また、対向する素子電極65と素子電極66間全てが、製法によっては電子放出部として機能する場合もある。この電子放出部を含む薄膜64の膜厚は、好ましくは、数オングストロームより数千オングストロームで、特に好ましくは10オングストロームより500オングストロームであり、素子電極65, 66へのステップカバレッジ、電子放出部63と素子電極65, 66間の抵抗値及び電子放出部63の導伝性微粒子の粒径、後述する通電処理条件等によって適宜設定される。その抵抗値は、10の1乗より10の7乗オーム/□のシート抵抗値を示す。

【0057】電子放出部63を含む薄膜64を構成する材料の具体例を挙げるならばPd, Pt, Ru, Ag, Au, Ti, In, Cu, Cr, Fe, Zn, Sn, Ta, W, Pb等の金属、PdO, SnO<sub>2</sub>, In<sub>2</sub>O<sub>3</sub>, PbO, Sb<sub>2</sub>O<sub>3</sub>等の酸化物、HfB<sub>2</sub>, ZrB<sub>2</sub>, LaB<sub>6</sub>, CeB<sub>6</sub>, YB<sub>4</sub>, BdB<sub>4</sub>等の硼化物、TiC, ZrC, HfC, TaC, SiC, WCな



どの炭化物、TiN, ZrN, HfN等の窒化物、Si, Ge等の半導体、カーボン微粒子からなる。

【0058】なおここで述べる微粒子膜とは、複数の微粒子が集合した膜であり、その微細構造として、微粒子が個々に分散配置した状態のみならず、微粒子が互いに隣接、あるいは重なりあった状態（島状も含む）の膜をさす。微粒子の粒径は、数オングストロームより数千オングストローム、好ましくは、10オングストロームより200オングストロームである。

【0059】電子放出部63は、好ましくは、数オングストロームより数百オングストローム、特に好ましくは、10オングストロームより500オングストロームの粒径の導伝性微粒子の多数個からなり、電子放出部63を含む薄膜64の膜厚及び後述する通電処理条件等の製法に依存しており、適宜設定される。電子放出部63を構成する材料は、電子放出部を含む薄膜64を構成する材料の元素の一部あるいは全てと同様の物である。

【0060】電子放出部63を有する電子放出素子の製造方法としては様々な方法が考えられるが、その一例を図7に示す。62は電子放出部形成用薄膜で例えば微粒子膜が挙げられる。

【0061】以下、順を追って製造方法の説明を図6及び図7に基づいて説明する。

【0062】(1) 基板61を洗剤、純水及び有機溶剤により十分に洗浄した後、真空蒸着法、スパッタ法等により素子電極材料を堆積した後、フォトリソグラフィ技術により、該絶縁性基板61の面上に素子電極65、66を形成する（図7(a)）。

【0063】(2) 基板61上に設けられた素子電極65と素子電極66との間に、素子電極65と66を形成した基板上に有機金属溶液を塗布して放置することにより、有機金属薄膜を形成する。なお、有機金属溶液とは、前記Pd, Ru, Ag, Au, Ti, In, Cu, Cr, Fe, Zn, Sn, Ta, W, Pb等の金属を主成分とする有機化合物の溶液である。この後、有機金属薄膜を過熱焼成処理し、リフトオフ、エッチング等によりパターンニングし、電子放出部形成用薄膜62を形成する（図7(b)）。尚、ここでは有機金属溶液の塗布法により説明したがこれに限るものでなく、真空蒸着法、スパッタ法、科学的気相堆積法、分布塗布法、ディッピング法、スピナー法、等によって形成される場合もある。

【0064】(3) 続いて、フォーミングと呼ばれる通電処理を、素子電極65、66間に電圧を不図示の電源によりパルス状あるいは昇電圧により印加して通電処理が行われると、電子放出部形成用薄膜62の部位に構造の変化した電子放出部63が形成される（図7(c)）。

この通電処理により、電子放出部形成用薄膜62を局所的に破壊、変形もしくは変質せしめ、構造の変化した部位を電子放出部63と呼ぶ。先に説明したよ

うに、電子放出部63は導伝性微粒子で構成されていることを本出願人らは観察している。フォーミング処理のパルスを印加の場合の電圧波形を図8に示す。

【0065】図8において、T1及びT2は電圧波形のパルス幅とパルス間隔であり、T1を1マイクロ秒～10ミリ秒、T2を10マイクロ秒～100ミリ秒とし、三角波の波高値（フォーミング時のピーク電圧）は適宜選択し、フォーミング処理は、10の5乗torr程度の真空雰囲気下で、数十秒間から数十分程度印加した。

【0066】以上説明した電子放出部を形成する際に、素子の電極間に三角波パルスを印加してフォーミング処理を行っているが、素子の電極間に印加する波形は三角波に限定することではなく、矩形波など所望の波形を用いてもよく、その波高値及びパルス幅・パルス間隔等についても上述の値に限ることなく、電子放出部が良好に形成される様に、電子放出素子の抵抗値等にあわせて、所望の値を選択する。

【0067】フォーミング以降の電気的処理は、図9に示す測定評価装置内で行う。以下に測定評価装置を説明する。

【0068】図9は、図6で示した構成を有する素子の電子放出特性を測定するための測定評価装置の概略構成図である。図9において、61は基体、65及び66は素子電極、64は電子放出部を含む薄膜、63は電子放出部を示す。また、91は素子に素子電圧Vfを印加するための電源、90は素子電極65・66間の電子放出部を含む薄膜64を流れる素子電流Ifを測定するための電流計、94は素子の電子放出部より放出される放出電流Ieを捕捉するためのアノード電極、93はアノード電極94に電圧を印加するための高圧電源、92は素子の電子放出部63より放出される放出電流Ieを測定するための電流計である。

【0069】電子放出素子の上記素子電流If、放出電流Ieの測定にあたっては、素子電極65、66に電源91と電流計90とを接続し、該電子放出素子の上に電源93と電流計92とを接続したアノード電極94を配置している。また、本電子放出素子及びアノード電極94は真空装置内に設置され、その真空装置には不図示の排気ポンプ及び真空計等の真空装置に必要な機器が具備されており、所望の真空下で本素子の測定評価を行えるようになっている。

【0070】なお、アノード電極の電圧は1kV～10kV、アノード電極と電子放出素子との距離Hは2mm～8mmの範囲で測定した。

【0071】図9に示した測定評価装置により測定された放出電流Ieおよび素子電流Ifと素子電圧Vfとの関係の典型的な例を図10に示す。なお、図10は放出電流Ie素子電流Ifに比べて著しく小さいので、任意単位で示されている。図10からも明らかなように、本電子放出素子は放出電流Ieに対する三つの特性を有する。

【0072】まず第1に、本素子はある電圧（閾値電圧と呼ぶ、図10の $V_{th}$ ）以上の素子電圧を印加すると急激に放出電流 $I_e$ が増加し、一方、閾値電圧 $V_{th}$ 以下では放出電流 $I_e$ がほとんど検出されない。すなわち、放出電流 $I_e$ に対する明確な閾値電圧 $V_{th}$ を持った非線形素子である。第2に、放出電流 $I_e$ が素子電圧 $V_f$ に依存するため、放出電流 $I_e$ は素子電圧 $V_f$ で制御できる。

【0073】第3に、アノード電極94に捕捉される放出電荷は、素子電圧 $V_f$ を印加する時間に依存する。すなわち、アノード電極94に捕捉される電荷量は、素子電圧 $V_f$ を印加する時間により制御できる。

【0074】以上のような表面伝導型電子放出素子の特性、素子電流 $I_f$ 、放出電流 $I_e$ の素子印加電圧に対する単調増加特性を有するため、本発明にかかわる電子放出素子は、多方面への応用が期待できる。

【0075】また、素子電流 $I_f$ は素子電圧 $V_f$ に対して単調増加する（MI特性と呼ぶ）特性の例を図10実線に示したが、この他にも、素子電流 $I_f$ が素子電圧 $V_f$ に対して電圧制御型負性抵抗（VCNR特性と呼ぶ）特性を示す場合もある（図10破線）。また、これら素子電流の特性はその製法及び測定時の測定条件に依存すると考えられる。なおこの場合も、本発明の電子放出素子は上述した3つの特性上の特徴を有する。

【0076】なお、予め導伝性微粒子を分散して構成した表面伝導型電子放出素子においては、前記本発明の基本的な素子構成の基本的な製造方法のうち一部を変更してもよい。

【0077】次に本発明に係わる別な構成の表面伝導型電子放出素子である垂直型表面伝導型電子放出素子について説明する。図2は本発明の基本的な垂直型表面伝導型電子放出素子の構成を示す模式的図面である。

【0078】図2において61は基板、65と66は素子電極、64は電子放出部を含む薄膜、63は電子放出部、21は段差形成部である。基板61、素子電極65と66、電子放出部を含む薄膜64、電子放出部63は、前述した平面型表面伝導型電子放出素子と同様の材料で構成されたものであり、垂直型表面伝導型電子放出素子の特長を有する段差形成部21は、真空蒸着法、印刷法、スパッタ法等で形成された $SiO_2$ 等の絶縁性材料で構成され、段差形成部21の厚さが、先に述べた平面型表面伝導型電子放出素子の素子電極間隔 $L_1$ に対応し、数百オングストロームより数十マイクロメートルであり、段差形成部の製法の製法、及び、素子電極間に印加する電圧と電子放出し得る電解強度により設定されるが、好ましくは、数千オングストロームより数千マイクロメートルである。

【0079】電子放出部を含む薄膜64は、電子電極65、66と段差形成部21の作成後に形成するため、素子電極65、66の上に積層され、場合によっては、素子電極65、66との電気的接続を担う重なりの一部を

除いた所望の形状にされる。また、電子放出部を含む薄膜64の膜厚は、その製法に依存して、段差部での膜厚と素子電極65、66の上に積層された部分の膜厚では、異なる場合が多く、一般に段差部分の膜厚が薄い。なお、電子放出部64は、図2において、段差形成部21に直線状に示されているが、形状、位置ともにこれに限るものでなく、作成条件、フォーミング条件等に依存する。

【0080】以上、表面伝導型電子放出素子の基本的な構成、製法について述べたが、本発明の思想によれば、表面伝導型電子放出素子の特性で3つの特徴を有すれば、上述の構成等に限定されず、後述の電子源、表示装置等の画像形成装置に於いても適用できる。

【0081】

【実施例】以下、添付図面を参照して本発明の好適な実施例を詳細に説明する。この実施例では電子源及びその製造方法と、これら複数の電子源を用いた画像形成装置について説明する。本実施例の電子放出素子を複数個、基板上に配列し、電子源あるいは画像形成装置が構成できる。

【0082】基板上的配列方式には、例えば従来例で述べた、多数の表面伝導型電子放出素子を並列に配置し、個々の素子の両端を配線にて結線した電子放出素子の行を多数配列し（行方向と呼ぶ）、この配線と直交する方向に（列方向と呼ぶ）、該電子源の上方の空間に設置された制御電極（グリッドと呼ぶ）により電子を制御駆動する梯子状配置、及び次に述べる $m$ 本の $X$ 方向配線の上に $n$ 本の $Y$ 方向配線を層間絶縁層を介して設置し、表面伝導型電子放出素子の一对の素子電極にそれぞれ、 $X$ 方向配線、 $Y$ 方向配線とを接続した配列法があげられる。以降、これを単純マトリクス配置と呼ぶ。次にこの単純マトリクス配置について詳述する。

【0083】本実施例に係る表面伝導型電子放出素子の3つの基本的特性の特徴、即ち、第1に、本素子はある電圧（閾値電圧と呼ぶ、図10中の $V_{th}$ ）以上の素子電圧を印加すると、急激に放出電流 $I_e$ が増加し、一方、閾値電圧 $V_{th}$ 以下では、放出電流 $I_e$ がほとんど検出されない。即ち、放出電流 $I_e$ に対する明確な閾値電圧 $V_{th}$ を持った非線形素子である。

【0084】第2に、放出電流 $I_e$ が素子電圧 $V_f$ に依存するため、放出電流 $I_e$ は素子電圧 $V_f$ で制御できる。

【0085】第3に、アノード電極94に捕捉される放出電荷は、素子電圧 $V_f$ を印加する時間に依存する。即ち、アノード電極94に捕捉される電荷量は、素子電圧 $V_f$ を印加する時間により制御できる。

【0086】以上によれば、単純マトリクス配置された表面伝導型電子放出素子においても表面伝導型電子放出素子からの放出電子は、閾値電圧以上では、対抗する素子電極間に印加するパルス状電圧の波高値と巾で制御される。一方、閾値電圧以下では、殆ど放出されない。こ

の特性によれば、多数の電子放出素子を配置した場合においても、個々の素子に、上記パルス状電圧を適宜印加すれば、入力信号に応じて、表面伝導型電子放出素子を選択し、その電子放出量が、制御できることになる。

【0087】以下この原理に基づき構成した電子源基板の構成について、図11を用いて説明する。111は絶縁性基板、112はX方向配線、113はY方向配線、114は表面伝導型電子放出素子、115は結線である。尚、表面伝導型電子放出素子114は、前述した平面型あるいは垂直型どちらであってもよい。

【0088】同図において、絶縁性基板111は、前述したガラス基板等であり、その大きさ及びその厚みは、絶縁性基板111に設置される表面伝導型素子の個数及び個々の素子の設計上の形状、及び電子源の使用時、容器の一部を構成する場合には、その容器を真空に保持するための条件等に依存して適宜設定される。m本のX方向配線112は、DX1, DX2, . . . DXmからなり、絶縁性基板111上に、例えば真空蒸着法、印刷法、スパッタ法等で形成して所望のパターンとした導伝性金属等からなり、多数の表面伝導型素子にほぼ均等な電圧が供給される様に、材料、膜厚、配線巾が設定される。Y方向配線113は、DY1, DY2, . . . DYnのn本の配線よりなり、X方向配線112と同様に、真空蒸着法、印刷法、スパッタ法等で形成し、所望のパターンとした導伝性金属等からなり、多数の表面伝導型素子にほぼ均等な電圧が供給される様に、材料、膜厚、配線巾等が設定される。これらm本のX方向配線112とn本のY方向配線113間には、不図示の層間絶縁層が設定され、電気的に分離されて、マトリックス配線を構成する（このm, nは共に正の整数）。

【0089】不図示の層間絶縁層は、真空蒸着法、印刷法、スパッタ法等で形成されたSiO<sub>2</sub>等であり、X方向配線112を形成した絶縁性基板111の全面あるいは一部に所望の形状で形成され、特に、X方向配線112とY方向配線113の交差部の電位差に耐える様に、膜厚、材料、製法が、適宜設定される。X方向配線112とY方向配線113は、それぞれ外部端子として引き出されている。

【0090】さらに前述と同様にして、表面伝導型放出素子114の対抗する電極（不図示）が、m本のX方向配線112とn本のY方向配線113と、真空蒸着法、印刷法、スパッタ法等で形成された導伝性金属等からなる結線115によって電気的に接続されているものである。

【0091】ここで、m本のX方向配線112とn本のY方向配線113と結線115と対向する素子電極の導伝性金属は、その構成元素の一部あるいは全部が同一であっても、またそれぞれ異なってもよく、Ni, Cr, Au, Mo, W, Pt, Ti, Al, Cu, Pd等の金属あるいは合金及びPd, Ag, Au, RuO<sub>2</sub>, Pd 50

—Ag等の金属あるいは金属酸化物とガラス等から構成されるの印刷導体、In<sub>2</sub>O<sub>3</sub>—SnO<sub>2</sub>等の透明導体及びポリシリコン等の半導体導体材料等より適宜選択される。また表面伝導型電子放出素子は、絶縁性基板111あるいは、不図示の層間絶縁層上のどちらに形成してもよい。

【0092】また、詳しくは、後述するが、前記X方向配線112には、X方向に配列する表面伝導型放出素子114の行を、入力信号に応じて走査するための走査信号を印加するための不図示の走査信号発生手段が電子的に接続されている。

【0093】一方、Y方向配線113には、Y方向に配列する表面伝導型放出素子114の列の各列を、入力信号に応じて変調するための変調信号を印加するための不図示の変調信号発生手段が電気的に接続されている。

【0094】さらに、表面伝導型電子放出素子に各素子に印加される駆動電圧は、当該素子に印加される走査信号と変調信号の差電圧として供給されるものである。

【0095】上記構成において単純なマトリックス配線だけの個別の素子を選択して独立に駆動可能になる。

【0096】ここで上述した表面伝導型放出素子をフォーミング処理する際、上記の配線を通して素子に給電するのであるが、前記した問題点より、フォーミング時の印加電圧が配線による電位効果の分布、配線での発熱ダメージ等で、各素子の放出電子量に分布が発生し、電子源として使用する際、単純なドライバで均一な電子量を得ることが困難になる。これにより画像形成装置として使用する場合は、輝度の分布が発生するという欠点を有している。

【0097】そこで前述した本実施例の複数の電子放出素子のフォーミングを用いてこの問題を解決したわけである。以下に1つ1つの手段毎に好ましい実施態様を説明する。

【0098】前述した手段のうち、まずA-1について説明する。

【0099】図11に示した単純マトリックス配置電子源においてX方向の配線端子DX1からDXmまですべてに電位V<sub>2</sub>を印加すると共に、任意に選択した少なくとも1本以上のY方向配線端子DYiに、V<sub>2</sub>とは異なる電位V<sub>1</sub>を印加し、残りのY方向配線端子すべてに電位V<sub>2</sub>を印加するというものである。本実施例によれば、任意に選択したY方向配線に接続している表面伝導型放出素子にのみ(V<sub>1</sub>-V<sub>2</sub>) [V]の電圧が印加され、他の非選択表面伝導型放出素子には(V<sub>1</sub>-V<sub>2</sub>=0) [V]の電圧が印加されて、フォーミングが行われ、この工程が順次繰り返されることによりフォーミングが終了する（これをライン・フォーミングと呼ぶ）。

【0100】即ち、選択されていない表面伝導型放出素子の電極がフローティング（電位不定）状態になり、フォーミングを実施中の素子に印加している電圧が

マトリクス配線を介して回り込むことがないため、フォーミングを実施していない表面伝導型放出素子が静電気により破壊もしくは損傷したり、フォーミング中の素子に印加中の電圧の影響を受けて、電子放出部が変質したりすることを防止でき、各素子の特性を均一にできることになる。

【0101】ここで、前記電位V1及びV2は必ずしも時間的に変動のない一定電圧(DC)に限るものではなく、三角波あるいは矩形波等のパルス上の波形も含むものである。また、上記V1、V2の両方をDC波形あるいはパルス状の波形としたり、どちらか片方をパルス状の波形としてもよい。この時、フォーミング処理を実施しようとする表面伝導型放出素子に印加される電圧(V1-V2) [V]は、フォーミングにより電子放出部を形成するに足る電圧波形が供給されていればよく、パルス状波形の場合には、上記(V1-V2) [V]はピーク電圧をいうものである。また、フォーミング処理を実施するために任意に選択される列は、同時に1列であっても複数列であってもよく、同時に複数列を選択する場合は、フォーミングにより発生する熱による基板内の温度分布を考慮して、例えば千鳥状に選択して温度分布を均一化するのが好ましい。また、複数列を同時にフォーミングする場合、フォーミングに要する時間を短縮できるものの、電圧源には大きな電流容量が必要となる。従って、本実施例では、フォーミングに要する時間と電圧源の電流容量とを考慮し、最も経済的効果の高い数を選択し、並列でのフォーミングを行うことが望ましい。

【0102】さらに上述したX方向配線とY方向配線のいずれを選択し、ラインフォーミングをするかについては以下のようにして決定するのが好ましい。

$$V(k, n) = \{1 - k \times r_y / R - n \times (N_x - n + 1) \times r_y / R\} V_0 \quad (1)$$

なお、上式の導出は、一般的な4端子マトリクスの(N-n) 段のシリーズとして容易に計算できる。ここで、 $r_x, r_y$ はRに比べ十分小さいとした。また、これを電

$$P(k, n) = \{1 - 2 \times k \times r_y / R - 2 \times n \times (N_x - n + 1) \times r_x / R\} \times V_0 \times V_0 / R \quad (2)$$

つまり、V、Pはk、nの関数であり、ラインフォーミングの方向の素子アドレスnの2次、他方向の素子アドレスkの1次で変化することがわかる。

【0106】図15に電圧あるいは電力のパネル内分布の模式図を示す。

【0107】しかしながら、上記のようなラインフォーミング方法には、次のような問題点がある。即ち、図15にみられるように給電部に一定の電圧を供給しても素

$$P(k, 1) - P(k, N_x / 2) \sim N_x \times N_x / 2 \times (r_x / R) \times P_0 \quad (3)$$

但し、 $N_x \gg 1$ である。

また、k方向の最大・最小の差は、最大となるのが給電端(k=1)で、最小となるのが接地端(k=Ny)で

$$P(1, n) - P(N_y, n) \sim 2 \times N_y \times (r_x / R) \quad (4)$$

但し、 $N_y \gg 1$ である。

\*【0103】表面伝導型放出素子を用いた単純マトリクスの表示装置の等価回路を図12に示す。Rが素子抵抗、 $r_x, r_y$ が1画素あたりの横あるいは縦方向配線抵抗である。また、横方向(行方向)の素子数を $N_x$ 、縦方向(列方向)の素子数を $N_y$ とする。この表示装置をフォーミング処理する際、通常1列あるいは1行ずつを一括してフォーミングする。なお、ここでいう一括フォーミングとは、多数の素子に対して所定の給電部(1ヶ所あるいは複数)から電力を供給してフォーミングすることを指しており、必ずしも多数の素子を同時にフォーミングすることを意味するものではない。ラインフォーミングを模式的に示したのが図13の等価回路である。ここで装置(パネル)外の配線等のインピーダンスは $r_x, r_y, R$ に比べ無視できるとしている。ここでは横方向(接地部からkラインめ)に一括してラインフォーミングする例を示す。図13からも明らかなように、素子抵抗R、配線抵抗 $r_x, r_y$ にばらつきがない場合、各素子にかかる分圧は必ず給電部に最も近い素子のそれが最大となる。また、フォーミングされた素子の抵抗はフォーミング前の抵抗Rに比べて2~3桁以上も大きい。従って、ラインフォーミングすると給電側から順次切れていく。そして、(n-1)番目まで切れていて、次にn番目の素子をフォーミングする時の等価回路は図14となる。即ち、この状態でも最も給電部に近いn番目の素子が切れて、次の時点での等価回路は図14よりも1素子少ない梯子状のものとなる。(n-1)番目の素子まで切れている状態で、給電部に一定の電圧V0を印加したとすると、n番目の素子にかかる電圧は次式で与えられる。

\*30 【0104】

※力で現すと、n番目の素子にかかる電力は次式で与えられる。

【0105】

★子のアドレスによってその素子が切れる時にかかる電圧、及び電力に差がでてしまう。この現象は画素数が大きくなり、また配線抵抗が素子抵抗に比べ大きくなってくるとより大きな影響を及ぼす。各素子が切れる直前に印加される電力のn方向の最大最小の差は次式となる。即ち、電力最大となるのは給電端(n=1)の時で、最小となるのは中央部( $n = N_x / 2$ )のときであり、 $P_0 = V_0 \times V_0 / R$ として、

☆あるから、次式となる。

【0108】

◆50◆上記2式よりわかるように、特にラインフォーミング方

21

向の画素数が大きくなると急激に画素間のフォーミング条件に差がでてくることになる。従って、大画面化に際して無視できない悪影響を及ぼすことになる。

【0109】図15の例は、給電部が行(あるいは列)の1端にある場合であるが、給電部が両端にある場合は、系の対称性から、一括フォーミングされる行(あるいは列)の両端部及び中央部で各素子が切れる直前に印加される電力が大きく、両端から1/4ライン長付近で\*

$$P(k, n) = \{1 - 2 \times k \times r_y / R - 2 \times n \times (N' - n + 1) \times r_x / R\} P_0; P_0 = V_0 \times V_0 / R \quad (5)$$

$$n \text{ 方向の最大最小の差: } \Delta P = N' \times (N' / 2) (r_x / R) P_0 \quad (6)$$

$$k \text{ 方向の最大最小の差: } \Delta P = 2 \times K \times (r_y / R) \times P_0 \quad (7)$$

尚、両側給電の場合は、 $n \leq N_x / 2$  に対して、 $n > N_x / 2$  でも対応する。さらに、表面伝導型電子放出素子が単純マトリクス配列ではなく、1次元梯子状に配列された場合も同様の問題点を有する。図16(a)～図16(c)に、いくつかの例において、等価回路と給電部に一定電圧を印加した場合に各素子が切れる直前の印加電力の素子アドレスによる違いの例を示す。素子数はN、※

$$P(n) = \{1 + (n \times n + n - N \times N - 3 \times N - 2) \times (r / R)\} \times P_0; P_0 = V_0 \times V_0 / R, \quad (8)$$

最大最小の差は、

$$\Delta P = P(N) - P(1) = (N + 2) \times (N - 1) \times P_0 \quad (9)$$

となる。

【0113】(b)は、給電部と接地部が梯子状ラインの同じ側の端部に配置されている例で、(c)は、給電\*

$$P(n) = \{1 - 4 \times n \times (N' - n + 1) \times (r / R)\} \times P_0; P_0 = V_0 \times V_0 / R \quad (10)$$

$$\Delta P = P(1) - P(N' / 2) = N' \times N' \times (r / R) \times P_0 \quad (11)$$

(b)の場合 $N' = N$ 、(c)の場合 $N' = N / 2$  ( $n$ は $N / 2$ に関して対称に考える)。本図からわかるように、1次元配列の場合においても給電部に一定の電圧を印加しても、各素子が切れる直前に印加される電力は、素子アドレスによってばらつく事になる。

【0114】従って、表面伝導型電子放出素子を2次元に配列した装置を1ラインずつ一括して通電フォーミング

$$(N_x \times N_x - a \times N_x) \times r \leq (N_y \times N_y - a \times N_y) \times r_y \text{ なら、} x \text{ 方向にフォーミングする} \quad (12)$$

$$(N_x \times N_x - a \times N_x) \times r_x > (N_y \times N_y - a \times N_y) \times r_y \text{ なら、} y \text{ 方向にフォーミングする} \quad (13)$$

ことを特徴とするマルチ電子源のフォーミング方法である。尚、ここで給電部がxあるいはyの片端にある場合 $a = 8$ 、給電部がxあるいはyの両端にある場合 $a = 24$ である。なおここでは各素子が切れる時にかかる電力によって方向を決定した。

$$P(k, n) = \{1 - 2 \times k \times r' / R - 2 \times n \times (N - n + 1) \times r / R\} \times P_0; P_0 = V_0 \times V_0 / R \quad (14)$$

で考える。ここで、x方向のフォーミングの時は、 $r = r_x$ 、 $r' = r_y$ 、 $N = N_x$ 、y方向の時は、 $r = r_y$ 、 $r' = r_x$ 、 $N = N_y$ とする。すると、図17(a)に示すように給電部がxあるいはyの1端のみにある場合、前に定義したx、y方向の素子数 $N_x$ 、 $N_y$ と素子アドレス \*50

22

\*は小さくなり、やはり素子アドレスによってばらつきが生じてしまう。ここで、給電方式を一般化するために、新たに $N'$ を導入する。この時、片側給電の場合 $N' = N$ 、両側給電の場合 $N' = N / 2$ 。

【0110】結局、単純マトリクスをラインフォーミングする場合、給電部に一定の電圧 $V_0$ を印加したとき、 $n$ 番目の素子にかかる電力は次式で与えられる。

【0111】

※配線抵抗は1素子あたり $r$ 、素子抵抗は $R$ とする。

【0112】(a)は、給電部が梯子状ラインの一端に1ヶ所配置され、他端に接地部が1ヶ所配置されている例であり、給電部に電圧 $V_0$ を印加したとき、( $n - 1$ )番目まで切れて、 $n$ 番目が切れる時にかかる電力は $n$ の関数として、

★部と接地部が梯子状ラインの両端にそれぞれ1ヶ所ずつ配置されている例である。(a)の場合と同様に $P(n)$ 、 $\Delta P$ を求めると、

☆グする際、各素子に印加される電力のばらつきを小さくできる方向(行あるいは列)を選択してフォーミングすることができればよいわけである。

【0115】より詳しくは、2次元の方向をx、y方向とし、各方向の素子数を $N_x$ 、 $N_y$ 各方向の1素子あたりの配線抵抗を $r_x$ 、 $r_y$ として、

◆【0116】ここで、簡単に上記条件式を説明したおく。通電フォーミングは、熱的な現象と考えられるので、各素子に印加される電力が問題となる。従って、前述の式、

\* ( $x, y$ ) = ( $n, k$ )、素子抵抗 $R$ 、配線抵抗 $r_x$ 、 $r_y$ 等を用いて、以下のように書くことができる。

【0117】(1) x方向に一括フォーミングする場合、

$$P(k,n) = \{1 - 2 \times n \times (N_x - n + 1) \times (r_x/R) - 2 \times k \times (r_y/R)\} \times P_0; P_0 = V_0 \times V_0/R \quad (15)$$

pが最大となるのは $n=k=1$ 、最小となるのは $n=N_x/2$ ,  $k=N_y$  のときである。 \* 【0118】

$$\text{面内での最大値: } P(1,1)/P_0 = 1 - 2 \times N_x \times (r_x/R) - 2 \times (r_y/R) \quad (16)$$

$$\text{面内での最小値: } P(N_x/2, N_y)/P_0 \sim 1 - N_x \times N_x/2 \times (r_x/R) - 2 \times N_y \times (r_y/R) \quad (17)$$

面内のばらつき:

$$P_x = \{P(1,1) - P(N_x/2, N_y)\} / P_0 \sim (N_x \times N_x/2 - 2 \times N_x) \times (r_x/R) + 2 \times N_y \times (r_y/R) \quad (18)$$

(2) y方向に一括フォーミングする場合

$$P(n,k) = \{1 - 2 \times n \times (r_x/R) - 2 \times k \times (N_y - k + 1) \times (r_y/R)\} \times P_0; P_0 = V_0 \times V_0/R \quad (19)$$

pが最大となるのは $n=k=1$ 、最小となるのは $n=N_x$ ,  $k=N_y/2$  のときである。 ※ 【0119】

$$\text{面内での最大値: } P(1,1)/P_0 = 1 - 2 \times (r_x/R) - 2 \times N_y \times (r_y/R) \quad (20)$$

$$\text{面内での最小値: } P(N_x, N_y/2)/P_0 \sim 1 - 2 \times N_x \times (r_x/R) - N_y \times N_y/2 \times (r_y/R) \quad (21)$$

面内のばらつき:

$$P_y = \{P(1,1) - P(N_x, N_y/2)\} / P_0 \sim 2 \times N_x \times (r_x/R) + (N_y \times N_y/2 - 2 \times N_y) \times (r_y/R) \quad (22)$$

従って、 $P_x \leq P_y$ つまり $(N_x \times N_x - 8 \times N_x) \times r_x \leq (N_y \times N_y - 8 \times N_y) \times r_y$ なら、x方向に一括してフォーミングしたほうがよく、 $P_x > P_y$ つまり $(N_x \times N_x - 8 \times N_x) \times r_x > (N_y \times N_y - 8 \times N_y) \times r_y$ なら、y方向に一括してフォーミングしたほうがよい。また、図17

(b)に示すように、給電部がxあるいはyの両端にある場合、一括してフォーミングするラインの中央に対して対称である事を考えれば、条件式は $(N_x \times N_x - 24 \times N_x) \times r_x$   $(N_y \times N_y - 24 \times N_y) \times r_y$ の大小で設定される。

【0120】以上のように、2方向の配線抵抗と素子数との関係により、ラインフォーミングに適した方向が決まる。

【0121】フォーミング処理の電圧波形としては図8と同様であり、適宜設定される。

【0122】続いて、前述した手段のうちA-2について説明する。

【0123】図18に示す構成により行配線(DX1-m)及び列配線(DY1-n)にフォーミング電源(電位はV1またはV2)を接続してフォーミングを行う。この時、全行配線のうちk本に電位V1を、残りの(m-k)本に電位V2を印加し、同様に全列配線のうち1本に電位V2を、残りの(n-1)本に電位V1を印加する。これにより、全表面伝導電子放出素子の $k \times 1 + (m-k) \times (n-1)$ 個の表面伝導型電子放出素子が選択され、選択された表面伝導電子放出素子では、図6★50

★の素子電極65、66間に電圧V2-V1が印加され、電子放出部形成用薄膜の部位に構造の変化した電子放出部63が形成される。

【0124】次に、列配線(あるいは行配線)に接続した電位V1とV2とを入れ換えることにより、先に選択されなかった残りの表面伝導型電子放出素子が選択され、同時にフォーミングを施すものである。またフォーミング処理の電圧波形としては図8に示すようなものを用いる。

【0125】前述の手段(A-1)との相違は、(A-1)がライン単位でフォーミングするのに対し、これはブロック単位でフォーミングするところが異なり、効果は(A-1)と同様に、未フォーミング表面伝導型電子放出素子への電圧の回り込みが無くなり、また、同時にフォーミング電圧が印加される素子数が1/2に少なくなることにより、配線を通れる電流値も小さくなるため、配線での電位降下による表面伝導型電子放出素子特性のばらつきも小さく抑えられる。

【0126】次に前述の手段のうち(B-1)について説明する。

【0127】この製造法の特徴を図19(a)のブロック図、及び図19(b)の回路図、そして、図19(c)の素子単体断面図を用いて説明する。

【0128】図19(a)において、191はマルチ電子源、192は電気的接続手段、193は温度コントローラ、194はフォーミング電源、195は温度検知

器、また、実線で囲った部分が本実施例の通電処理装置196を示している。マルチ電子源191は、前述した電子放出素子が複数並んだデバイスで、共通配線で各素子は接続されている。192は191の並列した電子放出素子の複数部分で、電気的接続を行う機構を有するものであり、図19(b)に示したように、マルチ電子源の各部に抵抗 $r_{f1}$ 、 $r_{f2}$ を介して接続される。ここでこの電気的接続手段は前記電子放出素子の共通配線のような形状の制限(薄膜形状、画像形成装置を想定した場合1画素に納まるサイズ)がないため、抵抗 $r_{f1}$ 、 $r_{f2}$ を共通配線の素子間抵抗 $r$ に比較して十分に小さい値にしている。図19(b)のように、1列に並んだ電子放出素子の複数部分で接続し、電源VEから電圧を印加したとき、 $r_{f2}$ による電位降下の大きさは並列配線数が少なく、抵抗が非常に小さいため十分に小さい値となり、共通配線への接続部に印加される電圧はほぼ等しくなる。また、各接続点からみた並列抵抗は、左右等しい数の素子が接続されるため、どれも等しい値となる。この結果、各素子に直接印加される電圧のばらつきは共通配線を用いて通電した場合に比較して格段に小さくできるようになった。

【0129】さらに、上記接続機構FCに用いる材料に熱伝導性のよいものを使い、その後段に熱容量の大きなものを設け、加熱、冷却機構及びそれを制御する機構を備えた構成としている。この構成により、上記接続機構FCは素子に通電するためだけではなく熱の伝導路としても働き、素子電極を通して電子放出部の温度を変化させる機能を有するものとなる。接続部の模式的断面図を図19(c)に示した。同図において、195は基板、65及び66は電気的接続を得るための素子電極、64は電子放出部を含む薄膜、63は電子放出部を示し、197は熱伝導路となる電気的接続手段を示している。なお、図19では、素子電極上で電気的接続手段と接続しているが、むしろ、配線上で行ってもよい。

【0130】197の接続手段を構成する材料は銅、アルミニウム、インジウム、銀、金、タングステン、モリブデン等の金属や、真鍮、ステンレス等の合金を使用している。また、配線との接触抵抗を小さくし、複数の接触部での接触抵抗の分布を小さく抑えるため、剛性の高い金属の表面を低抵抗金属でコーティングした接続手段を設けたり、各接続手段には、接触する配線に対し数十g以上の荷重がかかる不図示の荷重印加機構を備えていることが望ましい。この荷重印加機構は弾性部材により構成され、例えばコイルバネ、板バネ等が用いられる。

【0131】また、上記電気的接続手段はマトリクス配線の一列あるいは複数列に接続し、一列あるいは複数列を同時にフォーミングしてから、接続する列をずらし、順次全体をフォーミングするものであるが、電気的接続手段の数を多くすれば全体を同時にフォーミングすることも可能である。

【0132】さらに、上記した単純マトリクス構成では絶縁層の下層の配線上に電気的接続手段を設ける場合、接触部にコンタクト用の窓を形成することとし、該下層配線の電気的接続手段との接触部には低抵抗金属がコーティングされていることが好ましい。また、上記手段(A-1)と組み合わせることにより、X方向の配線あるいはY方向の配線の一方、即ち、フォーミング電圧を印加するため選択された列の配線にのみ複数の電気的接続手段を設け、同方向の非選択配線及び他方の方向の配線は端子から電圧を印加するだけでも十分効果が期待できる。

【0133】ここまでは単純なマトリクス配置の電子源におけるフォーミング手段について述べたが、この手段(B-1)は、前述した梯子状配置の電子源に対しても同様に利用可能である。

【0134】上記構成で、素子電極を冷却しながらフォーミング電圧を印加すると、フォーミング電流Ifによるジュール熱で微粒子膜が昇温し、この時の温度プロファイルは冷却を行い従来の方法と比較し、急峻になる。これは素子から発生した熱は基板となる石英あるいはガラスと比較して金属電極からの逃げが大きく、この金属電極を上記接続手段197を通して冷却することで、伝導による熱の逃げの効率が大幅に改善されるためである。

【0135】我々は電子放出部が通電の熱による素子の温度プロファイルのピーク位置で発生することを確認し、この温度が亀裂形成の起因であると考えた。

【0136】従来、電極間隔が $10\mu\text{m}$ 以上になると温度プロファイルもブロードになり、そのため電子放出部のばらつきが顕著になると考えたわけである。よって本実施例のように、電極の温度を低く制御して温度プロファイルを急峻にすれば電極間隔を広げても電位放出部のばらつきは小さくなるという可能性が生まれる。

【0137】実際、本実施例の通電処理方法で温度制御しながらフォーミングしたところ電極間隔を $10\mu\text{m}$ 以上に広げても微粒子膜の温度プロファイルが急峻で、ピーク領域の幅は狭くなり、その結果、電子放出部のばらつきが少なく抑えられるようになった。

【0138】さらに上記構成で複数並んだ電子放出素子の各部を一定の温度に制御することも可能となり、従来問題となったマルチ電子源のデバイス中央部、端部の温度差も無くなり、これにより、フォーミング時の電子放出部ばらつきも少なくなった。

【0139】次に前述の手段(B-2)について説明する。

【0140】まず、複数個の電子放出素子を共通に接続する行または列方向の配線のうち、少なくとも一方を所定間隔で分割した構成、あるいは所定間隔で高インピーダンス部分を設けた構成の実現方法について説明する。

【0141】図20Aに梯子状配線、図20B単純マト

リクスの一部を分割した形状を示す。配線はフォトリソ技術あるいは印刷技術により作製されるが、いずれの場合も予めマスクパターンに分割用ギャップ部分を設けておけば、所定間隔で分割ギャップのある配線は容易に得られる。また当然ながら連続した配線を作製しておいて、YAGレーザによる溶融切断、あるいはダイシングソーによる機械的切断を行っても所定間隔で分割ギャップのある配線を得ることができる。

【0142】次に高インピーダンス部分を設ける方法は以下の方法がある。上述のようにして得られた分割ギャップ上にニッケルクロム合金薄膜等の抵抗率の高い金属を蒸着してパターニングして得る(図20)。また或は連続した配線を作製しておいて、その一部の配線幅を非常に狭くしておく、あるいはフォトリソ技術の中のミリング技術により一様に作製した配線の厚さを一部薄膜化することにより得られる。

【0143】次にこの構成の基板に給電して、特定の素子にフォーミング電圧を印加し、フォーミング処理を行う。ここで給電方法は、配線端から給電し、配線端に近い分割領域内の素子からフォーミング処理を施して、前述の手段(B-1)で用いる特別な電気的接続手段と同様な手段を用いて給電する。

【0144】次に所定部分をフォーミングした後、分割ギャップ部分あるいは高インピーダンス部分を短絡する方法について説明する。

【0145】まず単純にAuやAl材料によるワイヤボンディング、あるいはリボンボンディングにより短絡する方法がある。別の方法として以下の方法がある。まずギャップ部の片側、あるいは高インピーダンス部分近傍、あるいは高インピーダンス部分の一部分に、金-鉛ペーストあるいはInやBiを含む低融点金属をマイクロディスペンサーによる塗布、あるいはフォトリソ技術を用いて製膜しておく。レーザ光や赤外線照射やヒータ加熱によりペーストあるいは低融点金属を加熱融解させて、分割ギャップ部分あるいは高インピーダンス部分とその融解した金属で埋めるようにして短絡(接続)させる。あるいは高インピーダンス部分に電流を集中させることにより、高インピーダンス部分の温度が上昇し、上述の他の加熱方法と同じ結果が得られる。

【0146】次に前述の手段(B-3)について説明する。

【0147】単純マトリクス配置あるいは1次元梯子状に配列した各素子がフォーミングされる時点での印加電力あるいは印加電圧が全素子で一定になるように、給電部に印加する電圧を制御しながら、1行あるいは1列を一括してフォーミングする方法を以下に示す。従来の問題点で述べたフォーミングに必要な外部端子供給電圧の変動を考慮すると、一括してフォーミングする行(あるいは列)のうち、どの素子までがフォーミング済なのかを検知しながら給電部に印加する電圧を制御して一括フ

ォーミングを行うことにより、全素子に対して一定のフォーミング条件を保つことができる。

【0148】2次元単純マトリクス配列の場合においては、給電部が行(あるいは列)の1端にある場合、一括フォーミングする行(あるいは列)の両端部付近にある素子をフォーミングするときは給電部に印加する電圧を小さくし、中央部付近にある素子をフォーミングするときは給電部に印加する電圧を大きくすればよい。また、給電部が行(あるいは列)の両端にある場合、一括フォーミングする行(あるいは列)の両端部及び中央部付近にある素子をフォーミングするときは給電部に印加する電圧を小さくし、両端から1/4ライン長付近にある素子をフォーミングするときは給電部に印加する電圧を大きくすればよい。また、一括してフォーミングされる行(あるいは列)に対向する列(あるいは行)の一端または両端が接地されている場合、一括してフォーミングされる行(あるいは列)が接地端に近い場合は給電部に印加する電圧を小さくし、遠い場合は大きくすればよい。

【0149】さらに、1次元梯子状に素子が配列されていて、給電部が梯子状ラインの一端に1ヶ所配置され他端に接地部が1ヶ所配置されている場合、給電部端付近にある素子をフォーミングするときは給電部に印加する電圧を小さくし、接地部端付近にある素子をフォーミングするときは給電部に印加する電圧を大きくする。また、給電部と接地部が梯子状ラインの同じ側の端部に配置されているとき、両端部付近にある素子をフォーミングするときは給電部に印加する電圧を小さくし、ライン中央部付近にある素子をフォーミングするときは給電部に印加する電圧を大きくする。また、給電部と接地部が梯子状の両側にそれぞれ1ヶ所ずつ配置されている場合、両端部及び中央部付近にある素子をフォーミングするときは給電部に印加する電圧を小さくし、両端から1/4ライン長付近にある素子をフォーミングするときは給電部に印加する電圧を大きくする。

【0150】具体的には、例えば、単純マトリクスにおいては、素子アドレス(k, n)の素子を、例えばx方向にフォーミングする時には、(1)式の電圧分布を補って、一定電圧になる様に、給電部には、

$$V0(k, n) = C' \times \{1 + k \times ry / R + n \times (N - n + 1) \times rx / R\};$$

$$C': \text{定数(23)となる様に電圧 } V0(k, n) \text{ を印加すればよい。}$$

$$C' \text{ は実験的に最適値を決定する。}$$

また、フォーミング済の素子のアドレスを検出するには、例えば給電部と接地部の間のインピーダンスを測定すればよい。このインピーダンスの測定は、一定のパルス高を有する1つあるいは複数のフォーミングパルスを1ブロックとし、ブロックとブロックとの間にフォーミングパルスよりも低い電圧パルスを挿入して行えばよい。図23にパルス印加例を示す。ここで、T1は1マイクロ秒から10ミリ秒、T2は10マイクロ秒から100ミリ秒程度であり、Nは1~100パルス、Vilは0.1



V程度である。

【0151】ブロック数（インピーダンス測定回数）が少なければフォーミング制御のアルゴリズムは容易となり、ライン全体をフォーミングするための時間も短くてできる。一方、ブロック数が多ければ、素子間のフォーミング条件のばらつきを小さく抑えることができる。なお、フォーミングパルスの印加方法、素子アドレスの検出方法は上記に限ったものではなく、一定の条件さえ整えば素子アドレスの検出が不要となりうる。

【0152】次に、以上の様にして作製した電子源を用いた表示等に用いる画像形成装置について、まず単純マトリクス構成の装置について、図24と図25(a)(b)を用いて説明する。図24は、画像形成装置の基本構成図にあり、図25は蛍光膜である。

【0153】図24において111は、上述の様に電子放出素子を作製した電子源基板、241は、電子源基板111を固定したリアプレート、246はガラス基板243の内面に蛍光膜244とメタルバック245等が形成されたフェースプレート、242は支持枠であり、リアプレート241は支持枠242及びフェースプレート246をフリットガラス等を塗布し、大気中あるいは窒素中で400～500度で10分以上焼成することにより封着して、外囲器248を構成する。

【0154】図24において、247は、図7における電子放出部63に相当する。112、113は、表面伝導型電子放出素子の一对の素子電極と接続されたX方向配線及びY方向配線である。また、これら素子電極への配線は、素子電極と配線材料が同一である場合は素子電極と呼ぶ場合もある。外囲器248は、上述の如く、フェースプレート246、支持枠242、リアプレート241で構成したが、リアプレート241は主に基板111の強度を補強する目的で設けられるため、基板111自体で十分な強度を持つ場合は別体のリアプレート241は不要であり、基板111に直接支持枠242を封着し、フェースプレート246、支持枠242、基板111にて外囲器248を構成してもよい。

【0155】図25(a)(b)において、蛍光膜244は、モノクロームの場合は蛍光体のみからなるが、カラーの蛍光膜の場合は、蛍光体の配列によりブラックストライプあるいはブラックマトリクス等と呼ばれる黒色導電材251と蛍光体252とで構成される。ブラックストライプ、ブラックマトリクスが設けられる目的は、カラー表示の場合に必要な三原色蛍光体の各蛍光体252間の塗り分け部を黒くすることで混色等を目立たなくすることと、蛍光膜244における外光反射によるコントラストの低下を制御することにある。ブラックストライプの材料としては通常良く用いられている黒鉛を主成分とする材料だけでなく、導電性があり、光の透過及び反射が少ない材料であればこれに限るものではない。

【0156】ガラス基板243に蛍光体を塗布する方法はモノクローム、カラーによらず、沈殿法や印刷法が用いられる。

【0157】また、蛍光膜244の内面側には通常メタルバック245が設けられる。メタルバックの目的は、蛍光体の発光のうち内面側への光をフェースプレート246側へ鏡面反射することにより輝度を向上すること、電子ビーム加速電圧を印加するための電極として作用すること、外囲器内で発生した負イオンの衝突によるダメージカラーの蛍光体の保護等である。メタルバックは、蛍光膜作製後、蛍光膜の内面側表面の平滑化处理（通常フィルミングと呼ばれる）を行い、その後A1（アルミニウム）を真空蒸着等で堆積することにより作製できる。フェースプレート246には、さらに蛍光膜244の導電性を高めるため、蛍光膜244の外周側に透明電極（不図示）が設けられても良い。前述の封着を行う際、カラーの場合は各色蛍光体と電子放出素子とを対応させなくてはならないため、十分な位置合わせを行う必要がある。外囲器248は、不図示の排気管を通じ、10のマイナス7乗トール程度の真空度にされ、封止行われる。

【0158】また、外囲器248の封止後の真空度を維持するために、ゲッター処理を行う場合もある。これは、外囲器248の封止を行う直前あるいは封止後に、抵抗加熱あるいは高周波加熱等の加熱法により、外囲器118ないの所定の位置（不図示）に配置されたゲッターを加熱し、蒸着膜を形成する処理であるゲッターは通常Ba等が主成分であり、該蒸着膜の吸着作用により、例えば、 $1 \times 10$  マイナス5乗ないしは $1 \times 10$  マイナス7乗(Torr)の真空度を維持するものである。

【0159】以上の様に完成した本実施例の画像表示装置において、各電子放出素子には、容器外端子D0x1ないしD0m、D0y1ないしDPynを通じて電圧を印加することにより電子を放出させ、高圧端子HVを通じ、メタルバック115、あるいは透明電極（不図示）に数kV以上の高圧を印加し、電子ビームを加速し、蛍光膜114に衝突させ、励起・発光させることで画像を表示するものである。なお、容器外端子D0x1ないしD0xm、D0y1ないしD0ynは、配線Dx1ないしDxm、DY1ないしDYNとそれぞれ接続されている。

【0160】以上述べた構成は、表示等に用いられる好適な画像形成装置を作製する上で必要な概略構成であり、例えば各部材の材料等、詳細な部分は上述内容に限られるものではなく、画像装置の用途に適する様適宜選択する。

【0161】次に、前述の梯子型配置の電子源を用いた画像形成装置について図21を用いて説明する。

【0162】図21は、梯子型配置のマルチ電子源を備えた画像形成装置のパネル構造を示すための図である。先の単純マトリクス構成の画像形成装置との違いは、電

子源(基板S)とフェースプレートとの間にグリッド電極を備えていることで、これ以外は同じ部材で同じ構成となる。

【0163】基板SとフェースプレートFPの中間には、グリッド電極GRが設けられている。グリッド電極GRは、表面伝導型放出素子から放出された電子ビームを変調するもので、例えば図21のグリッドは、梯子型配置の素子列と直交して設けられたストライプ上の電極に電子ビームを通過させるため、各素子に対応して1個ずつ円形の開口Ghが設けられている。グリッドの形状や設置位置は必ずしも図21のようなものでなくとも良く、開口としてメッシュ上に多数の通過口を設ける事もあり、また例えば表面伝導型放出素子の周囲や近傍に設けてもよい。電子源の電極及びグリッド電極は、真空容器外の制御回路と電気的に接続されている。

【0164】本実施例の画像形成装置では、素子列を1列ずつ順次駆動(走査)していくのと同期してグリッド電極列に画像1ライン分の変調信号を同時に印加することにより、各電子ビームの蛍光体への照射を制御し、画像を1ラインずつ表示していく。

【0165】前述の様に作製された表示パネルが、画像形成装置として表示動作を行うための電気回路構成の好ましい1例を以下に例示する。

【0166】図22は、本実施例の製造方法で作製された単純マトリクス上に複数の電子放出素子を配置した電子源を用いて構成した画像形成装置を、NTSC方式のテレビ信号にもとずきテレビジョン表示を行うための駆動回路の概略構成をブロック化で示したものである。

【0167】図中、221は前記表示パネルであり、また、222は走査回路、223は制御回路、224はシフトレジスタ、225はラインメモリ、226は同期信号分離回路、227は変調信号発生器、VX及びVaは直流電圧源である。

【0168】以下、各部の機能を説明してゆくが、まず表示パネル221は、端子Dx1ないしDxm、及び端子Dy1ないしDym、及び高圧端子HVを介して外部の電気回路と接続している。このうち、端子Dx1ないしDxmには、前記表示パネル内に設けられているマルチ電子ビーム源、すなわちM行N列の行列上にマトリクス配線された表面伝導型放出素子群を一行(N素子)ずつ順次駆動してゆくための走査信号が印加される。一方、端子Dy1ないしDymには、前記走査信号により選択された一行の表面伝導型放出素子の各素子の出力電子ビームを制御するための変調信号が印加される。また、高圧端子HVには、直流電圧源Vaより、例えば10K[V]の直流電圧が供給されるが、これは表面伝導型放出素子より出力される電子ビームに蛍光体を励起するのに十分なエネルギーを付与するための加速電圧である。

【0169】次に、走査回路222について説明する。同回路は、内部にM個のスイッチング素子を備えるもの

で(図中、S1ないしSmで模式的に示している)、各スイッチング素子は、直流電圧源VXの出力電圧もしくは0[V](グラウンドレベル)のいずれか一方を選択し、表示パネル221の端子Dx1ないしDxmと電位的に接続するものである。S1ないしSmの各スイッチング素子は、制御回路223が出力する制御信号Tscanにもとずいて動作するものだが、実際には例えばFETのようなスイッチング素子を組み合わせることにより容易に構成できる。

【0170】なお、前記直流電圧源VXは、本実施例の場合には前記表面伝導型放出素子の特性(電子放出閾値電圧)に基づき、走査されていない素子に印加される駆動電圧が電子放出閾値電圧以下となるような一定電圧を出力するように設定されている。また、制御回路223は、外部より入力する画像信号に基づいて適切な表示が行われる様に各部の動作を整合させるように制御し、次に説明する同期信号分離回路226より送られる同期信号Tsyncに基づいて、各部に対してTscan及びTsft及びTmry等の制御信号を発生する。

【0171】同期信号分離回路226は、外部から入力されるNTSC方式のテレビ信号から、同期信号成分と輝度信号成分とを分離するための回路で、よく知られている様に周波数分離(フィルタ)回路を用いれば容易に構成できる。同期信号分離回路226により分離された同期信号は、よく知られる様に垂直同期信号と水平同期信号によりなるが、ここでは説明の便宜上Tsync信号として図示した。一方、前記テレビ信号から分離された画像の輝度信号成分を便宜上DATA信号と表すが、同信号がシフトレジスタ224に入力される。

【0172】シフトレジスタ224は、時系列的にシリアルに入力される前記DATA信号を、画像の1ライン毎にシリアル/パラレル変換するためのもので、前記制御回路103より送られる制御信号Tsftに基づいて動作する(即ち、制御信号Tsftは、シフトレジスタ224のシフトクロックであると言い換えてもよい)。シリアル/パラレル変換された画像1ライン分(電子放出素子N素子分の駆動データに相当する)のデータは、ID1ないしIDnのN個の並列信号として前記シフトレジスタ224より出力される。ラインメモリ105は、画像1ライン分のデータを必要時間の間だけ記憶するための記憶装置であり、制御回路223より送られる制御信号Tmryにしたがって、適宜ID1ないしIDnの内容を記憶する。記憶された内容は、I'D1ないしI'Dnとして出力され、変調信号発生器227に入力される。

【0173】変調信号発生器107は、前記画像データI'D1ないしI'Dnの各々に応じて、表面伝導型放出素子の各々を適切に駆動変調するための信号源で、その出力信号は、端子Dy1ないしDymを通じて表示パネル101内の表面伝導型放出素子に印加される。

【0174】前述した様に、本実施例に係る電子放出型

素子は、放出電流  $I_e$  に対して以下の基本特性を有している。すなわち、前述した様に、電子放出には明確な閾値電圧  $V_{th}$  があり、 $V_{th}$  以上の電圧を印加されたときのみ電子放出が生じる。また、電子放出閾値以上の電圧に対しては、素子への印加電圧の変化に応じて放出電流も変化してゆく。なお、電子放出素子の材料や構成、製造方法を変える事により、電子放出閾値電圧  $V_{th}$  の値や、印加電圧に対する放出電流の変化の度合いが変わる場合もあるが、いずれにしても以下のようなことがいえる。

【0175】即ち、本素子にパネル上の電圧を印加する場合、例えば、電子放出閾値以下の電圧を印加しても電子放出は生じないが、電子放出閾値以上の電圧を印加する場合には電子ビームが出力される。その際、第1にパルスの波高値  $V_m$  を変化させることにより出力電子ビームの強度を制御する事ができる。第2には、パルスの長さ  $PW$  を変化させることにより、出力される電子ビームの電荷の総量を制御する事が可能である。

【0176】従って、入力信号に応じて、電子放出素子を変調する方式としては、電圧変調方式、パルス幅変調方式等があげられ、電圧変調方式を実施するには、変調信号発生器227としては、一定の長さの電圧パルスを発生するが入力されるデータに応じて適宜パルスの波高値を変調するような電圧変調方式の回路を用いる。

【0177】また、パルス幅変調方式を実施するには、変調信号発生器227としては、一定の波高値の電圧パルスを発生するが、入力されるデータに応じて適宜電圧パルスの長さを変調するようなパルス幅変調方式の回路を用いるものである。

【0178】以上に説明した一連の動作により、表示パネル221を用いてテレビジョン画像を表示できる。なお、上記説明中、特に記載しなかったが、シフトレジスタ224やラインメモリ225は、デジタル信号式のものでもアナログ信号式のものでも差し支えなく、要は画像信号のシリアル/パラレル変換や記憶が所定の速度で行われればよい。なお、デジタル信号式を用いる場合には、同期信号分離回路226の出力信号DATAをデジタル信号化する必要があるが、これは同期信号分離回路226の出力部にA/D変換器を備えれば容易に可能である。また、これに関連してラインメモリ225の出力信号がデジタル信号かアナログ信号かにより、変調信号発生器227に用いられる回路が若干異なったものとなる。即ち、デジタル信号の場合には、電圧変調方式の場合、変調信号発生器227には、例えばよく知られるD/A変換回路を用い、必要に応じて増幅回路等を付け加えればよい。またパルス幅変調方式の場合、変調信号発生器227は、例えば高速の発振器及び発振器の出力する波数を計数する計数器(カウンタ)及び計数器の出力値と前記メモリの出力値を比較する比較器(コンパレータ)を組み合わせた回路を用い、必要に応じて、比較器の出力するパルス

幅変調された変調信号を表面伝導型放出素子の駆動電圧にまで電圧増幅するための増幅器を付け加えてもよい。

【0179】一方、アナログ信号の場合には、電圧変調方式の場合、変調信号発生器227には、例えばよく知られるオペアンプ等を用いた増幅回路を用い、必要に応じてレベルシフト回路等を付け加えてもよい。また、パルス幅変調方式の場合には、例えばよく知られた電圧制御型発振回路(VCO)を用い、必要に応じて表面伝導型放出素子の駆動電圧にまで電圧増幅するための増幅器を付け加えてもよい。

【0180】<第1実施例>第1実施例は、前記手段(A-1)により作製した多数の表面伝導型放出素子を単純マトリクス配置した電子源の例である。

【0181】電子源の一部の平面図を図26に示す。また、図中のA-A'断面図を図27に示す。但し、図26において、図27で、同じ記号を示したものは、同じものを示す。ここで261は基板、262は図24のDxに対応するX方向配線242(下配線とも呼ぶ)、263は図24のDyに対応するY方向配線243(上配線とも呼ぶ)、264は電子放出部を含む薄膜、272、273は素子電極、274は層間絶縁層、275は素子電極272は下配線262と電気的接続のためのコンタクトホールである。

【0182】次に製造方法を図28(a)~(h)により、工程順に従って具体的に説明する。

【0183】工程-a

清浄化した青板ガラス261上に厚さ0.5ミクロンのシリコン酸化膜をスパッタ法で形成した基板261上に、真空蒸着により厚さ50オングストロームのCr、厚さ6000オングストロームのAuを順次積層した後、ホトレジスト(AZ1370ヘキスト社製)をスピナにより回転塗布、ベークした後、ホトマスク像を露光、現像して、下配線262のレジストパターンを形成し、Au/Cr堆積層をウェットエッチングして、所望の形状の下配線262を形成する。

【0184】工程-b

次に厚さ1.0ミクロンのシリコン酸化膜からなる層間絶縁層274をRFスパッタ法により堆積する。

【0185】工程-c

工程bで堆積したシリコン酸化膜にコンタクトホール275を形成するためのホトレジストパターンを作り、これをマスクとして層間絶縁層274をエッチングしてコンタクトホール275を形成する。エッチングはCF4とH2ガスをを用いたRIE(Reactive Ion Etching)法によった。

【0186】工程-d

その後、素子電極272、273と素子電極間ギャップL1となるべきパターンをホトレジスト(RD-2000N-41日立化成社製)で形成し、真空蒸着法により、厚さ50オングストロームのTi、厚さ1000オ

ングストロームのNiを順次堆積した。ホトレジストパターンを有機溶剤で溶解し、Ni/Ti堆積膜をリフトオフし、素子電極間隔L1は2ミクロンとし、素子電極の幅W1を220ミクロン、を有する素子電極272、273を形成した。

#### 【0187】工程-e

素子電極272、273の上に上配線263のホトレジストパターンを形成した後、厚さ500オングストロームのTi、厚さ5000オングストロームのAuを順次真空蒸着により堆積し、リフトオフにより不要の部分を除去して、所望の形状の上配線263を形成した。

#### 【0188】工程-f

図29に本実施例の工程にかかわる表面伝導型放出素子の電子放出部形成用薄膜271のマスクの平面図の一部を示す。素子間電極ギャップL1及びこの近傍に開口を有するマスクであり、このマスクを用いて膜厚1000オングストロームのCr膜を真空蒸着により堆積・パターンニングし、その上に有機Pd(ccp4230奥野製薬(株)社製)をスピナにより回転塗布、300℃で約10分間の加熱焼成処理をした。また、こうして形成された主元素としてPdよりなる微粒子からなる電子放出部形成用薄膜64の膜厚は100オングストローム、シート抵抗値は $5 \times 10^4 \Omega/\square$ であった。なおここで述べる微粒子膜とは、上述した様に、複数の微粒子が集合した膜であり、その微細構造として、微粒子が個々に分散配置した状態のみならず、微粒子が互いに隣接、あるいは、重なり合った状態(島状も含む)の膜を指し、その粒径とは、前記状態で粒子形状が認識可能な微粒子についての径を言う。

#### 【0189】工程-g

Cr膜276及び焼成後の電子放出部形成用薄膜277の酸エッチャントによりエッチングして所望のパターンを形成した。

#### 【0190】工程-h

コンタクトホール275部分以外にレジストを塗布するようなパターンを形成し、真空蒸着により厚さ500オングストロームのTi、厚さ5000オングストロームのAuを順次堆積した。シフトオフにより不要の部分を除去する事により、コンタクトホール275を埋め込んだ。

【0191】以上の工程により絶縁性基板261上に下配線262、層間絶縁層274、上配線263、素子電極272、273、電子放出部形成用薄膜277等を形成した。以上の様にして作製した基板をフォーミング処理を施していない電子源用基板と呼ぶ。

【0192】次に、このフォーミング処理を施していない電子源用基板を用い、本実施例によるフォーミング処理を行い電子源を作製した例を具体的に説明する。

【0193】図30は、本実施例を説明するための図で、先述の様に単純マトリクス配線された表面伝導

型放出素子群のうちの一部に対してフォーミングを行う際の、電気的な接続を示したものである。同図では図示の便宜上、表面伝導型放出素子を $6 \times 6$ 個だけ単純マトリクス配線して示しているが、本実施例では $300 \times 200$ 個のマトリクスを作製した。

【0194】図に於いては、説明上、各表面伝導型放出素子を区別するためにD(1,1)、D(1,2)、…、D(6,6)の様に、(X,Y)座標で示している。

【0195】また、図中、 $Dx1, Dx2, \dots, Dx6$ は単純マトリクス配線の各配線を示しており、各々端子Pを介して外部と電気的に接続されている。また、VEは電圧源であり、表面伝導型放出素子をフォーミングするのに必要な電圧を発生する能力を有するものである。

【0196】本図に示すのは、D(1,3)、D(2,2)、D(3,3)、D(4,3)、D(5,3)、D(6,3)、…、D(300,3)の300素子を同時にフォーミングする場合の電圧印加法である。図に示す様に配線 $Dx3$ には、グランドレベル、即ち、0[V]が印加される。一方、X方向の配線のうち $Dx3$ 以外のもの、即ち、 $Dx1, Dx2, Dx4, Dx5, Dx6, \dots, Dx200$ には、電圧源Vformより、例えば6Vの電位が印加され、これと同時に $Dy1, Dy2, Dy3, Dy4, Dy5, Dy6, \dots, Dy300$ の各配線にも電圧源Vformより電位が印加される。

【0197】この結果、マトリクス配線された複数の素子のうち、選択されたD(1,3)、D(2,3)、D(3,3)、D(4,3)、D(5,3)、D(6,3)、…、D(300,3)の両端には、電圧源Vformの出力電圧が印加されるため、これら300素子では平行してフォーミングが行われる。

【0198】一方、前記300素子以外の素子は、素子両端ともほぼ等電位(電圧源VEの出力電位)が印加されるため、素子両端にかかる電圧はほぼ0[V]となり、フォーミングが行われないのはもちろんのこと、電子放出材よりなる薄膜が変質したり損傷したりすることも全く無い。このようにして、作製された電子放出部は、バリウム元素を主成分とする微粒子が分散配置された状態となり、その微粒子の平均粒径は30オングストロームであった。

【0199】ここで、各素子の抵抗は約1キロオーム、1素子あたりの下配線抵抗(x方向)は約0.03オーム、上配線抵抗(y方向)は約0.1オームであった。ここで前述したように、給電部が片側の場合では式(12)から、 $(Nx \times Nx - 8Nx) \times rx = 2628, (Ny \times Ny - 8Ny) \times ry = 3840$

であるから、素子数は多いがx方向の素子を一括してフォーミングしたほうがよい。上述の工程で作製した多数の平面型表面伝導型放出素子の特性を把握するために、その電子放出特性の測定を前述の図9の測定評価装置を

用いて行った。

【0200】なお測定条件は、アノード電極と表面伝導型放出素子間の距離を4mm、アノード電極の電位を1kV、電子放出特性測定時の真空装置内の真空度を $1 \times 10$ マイナス6乗torrとした。

【0201】本実施例における代表的な表面伝導型放出素子では、素子電圧8V程度から急激に放出電流 $I_e$ が増加し、素子電圧14Vでは素子電流 $I_f$ が2.2mA、放出電流 $I_e$ が1.1マイクロAとなり、電子放出効率 $I_e/I_f$ (%)は0.05%であった。

【0202】本実施例では全ての素子において、電子放出効率のばらつきが7%以内となり、ほぼ均一な特性が得られた。

【0203】<第2実施例>本実施例では、前述の第1実施例で作製したフォーミング処理を施していない電子源用基板を用いて画像形成装置を構成した例について図24及び図25を用いて説明する。

【0204】先のフォーミング処理を施していない $300 \times 200$ 個の素子を単純マトリクス配置した電子源用基板111をリアプレート241上に固定した後、電子源用基板111の5mm上方に、フェースプレート246(ガラス基板243の内面に画像形成部材であるところの蛍光膜244とメタルバック245が形成されている構成される)を支持枠242を介し配置し、フェースプレート246、支持枠242、リアプレート241の接合部にフリットガラスを塗布し、大気中あるいは窒素雰囲気中で、 $400^\circ\text{C}$ で10分以上焼成することで封着した。また、リアプレート241への電子源用基板111の固定もフリットガラスで行った。

【0205】蛍光膜244は、モノクロームの場合は蛍光体のみからなるが、本実施例では蛍光体はストライプ形状(図25(a)(b)参照)を採用し、先にブラックストライプを形成し、その間隙部に各色蛍光体を塗布し、蛍光膜245を作製した。ブラックストライプの材料として通常よく用いられている黒鉛を主成分とする材料を用いた。ガラス基板244に蛍光体を塗布する方法はスラリー法を用いた。

【0206】また、蛍光膜245内面側設けられるメタルバック246は、蛍光膜作製後、蛍光膜の内面側表面の平滑化处理(通常フィルミングと呼ばれる)を行い、その後Al(アルミニウム)を真空状着することにより作製した。フェースプレートには、更に蛍光膜245の導電性を高めるため、蛍光膜245の外側面側で透明電極が設けられている場合もあるが、本実施例ではメタルバック246のみで十分な伝導性が得られたので省略した。前述の封着を行う際、カラーの場合は各色蛍光体と表面伝導型放出素子とを対応させなくてはならないため、十分な位置合わせを行った。

【0207】以上のようにして完成したガラス容器内の

し、 $10$ のマイナス5乗torr程度の真空度に達した後、容器該端子D0x1ないしD0xmとD0y1ないしD0ynを通じて、第1実施例に示した容量で素子電極管に電圧を印加し、前述の通電処理(フォーミング処理)を行い、電子放出部を成し、表面伝導型放出素子を作製した。

【0208】次に $10$ のマイナス6乗torr程度の真空度で、不図示の排気管をガスバーナで熱することにより溶着し、外囲器の封止を行った。

【0209】最後に封止後の真空度を維持するために、ゲッター処理を行った。これは、封止後に高周波加熱法により、画像形成装置内の所定の位置(不図示)に配置されたゲッターBaを加熱し、蒸着形成した。

【0210】以上のように完成した本発明の画像形成装置において、各表面伝導型放出素子には、容器該端子D0x1ないしD0xm、D0y1ないしD0ynを通じ、走査信号及び変調信号を不図示の信号発生手段によりそれぞれ印加することにより、電子放出させ、高圧端子HVを蛍光体244に衝突させ、励起・発光させることにより画像を表示した。

【0211】本実施例で作製した画像形成装置において、単純マトリクス配線された多数の表面伝導型放出素子を均一にフォーミングできたことにより、素子特性が均一になり表示画像の輝度均一性の大幅な向上が確認された。

【0212】実際、以上のようにして作製した表示装置を2台用意し、給電部を片側のみにしてx方向で一括してフォーミングしたものと、y方向で一括してフォーミングしたものを用意して、各画素に一定電圧を印加し、高圧端子HVに5k[V]印加して輝度測定したところ、x方向を一括したフォーミングした方は輝度むらが7%以下であったのに対し、y方向を一括してフォーミングした方は輝度むらが15%程度あった。即ち、フォーミング前にラインフォーミングすべき方向を決定できたことがわかる。

【0213】<第3実施例>次に、本実施例の手段(A-1)を用いて、前述の第2実施例と同様に作製した画像形成装置について説明する。但し、本実施例においては第2実施例と素子の個数、配線形状、厚みを変えてあり、既述の表現を用いて、 $N_x=50$ 、 $r_x=.03$ オーム、 $N_y=50$ 、 $r_y=0.1$ オーム、 $R=1$ キロオームの電子源用基板を作製した。また、X方向、Y方向それぞれの配線の両端から給電できる構造の画像形成装置とした。先に述べたように給電部が各配線の両側にある場合は式(13)から、

$$(N_x \times N_x - 24 N_x) \times r_x = 39, \quad (N_y \times N_y - 24 N_y) \times r_y = 18$$

となる。すなわちY方向の表面伝導型放出素子列を一括してフォーミングした方がよいことがわかる。

【0214】第2実施例と同様に、x方向を一括したフォーミング方法と、y方向を一括したフォーミング方法

の2種の方法でフォーミング処理した2枚のパネルを比較したところ、やはり、前者の輝度むらは12%程度、後者は6%以下と、明らかにy方向フォーミング処理したもののほうが輝度むらが小さかった。即ち、フォーミング前にラインフォーミングすべき方向を決定できたことがわかる。

【0215】<第4実施例>以下に、本実施例の手段(A-1)のフォーミング処理を行う処理装置について説明する。

【0216】このフォーミング処理装置の電気回路構成の一例を図31に示す。図中、311は第1実施例と同様の工程で作製した $m \times n$ 個の表面伝導型放出素子を単純マトリクス配線したフォーミング処理を施していない電子源用基板であり、312はスイッチング素子アレイ、313はフォーミングパルス発生器、314は制御回路である。

【0217】電子源用基板311は図30の場合と同様に、端子 $Dx1 \sim Dx_n$ 及び $Dy1 \sim Dy_m$ を介して、周辺の電気回路と電気的に接続されるが、このうち $Dx1 \sim Dx_n$ はスイッチング素子アレイ312と接続され、 $Dy1 \sim Dy_m$ はフォーミングパルス発生器313の出力と接続される。スイッチング素子アレイ312は、内部に $S1 \sim S_n$ の $n$ 個のスイッチング素子を備え、各スイッチング素子は前記端子 $Dx1 \sim Dx_n$ の各々を、フォーミングパルス発生器313の出力またはグラウンドレベルかのどちらか一方と接続する機能を持つ。なお、各スイッチング素子は、制御回路314の発生する制御信号SC1に従って動作するものである。

【0218】また、フォーミングパルス発生器313は、制御回路314の発生する制御信号SC2に従って、電圧パルスを出力する。制御回路314は、前述したようにスイッチング素子アレイとフォーミングパルス発生器313の動作を制御するための回路である。

【0219】以上、各部の機能を説明したが、次に全体の動作を順を追って説明する。

【0220】まず、フォーミングを開始する前に、制御回路314の制御により、スイッチング素子アレイ312の各スイッチング素子は全てグラウンドレベル側と接続しており、また、フォーミングパルス発生器313の出力電圧も0[V]、即ち、グラウンドレベルに保たれている。

【0221】次に、前記図30で説明したように、素子列の一行を選択してフォーミング処理するために、スイッチング素子アレイ312の中のスイッチング素子のうち、フォーミング処理を行う列と接続している以外のものを全てフォーミングパルス発生器313側と接続するように、制御回路314は制御信号SC1を発生する(図31ではS3を除く全てのスイッチング素子をフォーミングパルス発生器313側に接続した例を示してある。)

次に、制御回路314はフォーミングパルス発生器313に対して、フォーミングに好適な電圧パルスを出力するよう制御信号SC2を発する。選択された一行の素子のフォーミングが完了したならば、制御回路314はフォーミングパルス発生器313に対して、パルスの発生を中止し、出力電圧が0[V]となるよう制御信号SC2を発生する。更に、スイッチング素子アレイ312に含まれる全てのスイッチング素子をグラウンドレベル側と接続するよう制御信号SC1を発生する。

【0222】以上の動作手順により、任意に選択した一行の素子フォーミングが完了する。以下、同様の手順で他の素子列を順次フォーミングすることにより、 $m \times n$ 個の表面伝導型放出素子を単純マトリクス配線した基板の全素子を均一にフォーミングすることができる。

【0223】本実施例では、上記手順により $100 \times 100$ 個の単純マトリクス基板を用い、選択素子に図8に示したような電圧波形のパルスを印加しフォーミング処理を行った。なお、本実施例ではパルス幅T1を1ミリ秒、パルス間隔T2を10ミリ秒とし、三角波の波高値(フォーミング時のピーク電圧)は5Vとし、フォーミング処理は約 $1 \times 10$ マイナス6乗torrの真空雰囲気下で60秒間行った。そして、図9のような測定評価装置を用いて測定したところ、作製した電子源中の代表的な素子では、素子電圧8V程度から急激に放出電流 $I_e$ が増加し、素子電圧14Vでは素子電流 $I_f$ が2.4mA、放出電流 $I_e$ が1.0 $\mu$ Aとなり、電子放出効率 $\eta = I_e / I_f (\%)$ は0.04%であった。

【0224】従来技術の問題点で述べたような亀裂形成のばらつきが発生すると、上記電子放出効率の素子間の均一性が得られなかった。しかし、本実施例のフォーミング装置によればフォーミングされる瞬間、各素子に実効的に印加される電圧のばらつきは小さくなり、素子特性として電子放出効率の素子間ばらつきも10%以下に抑えられた。

【0225】<第5実施例>次に第1実施例で作製した基板と同じフォーミング処理を施していない電子源用基板を用い、前記手段(A-2)によるフォーミング処理を行い電子源とした例を具体的に説明する。

【0226】図18は、本実施例を説明するための図で、先述したようにして単純マトリクス配線された表面伝導型放出素子(SCE)群のうちの一部に対してフォーミングを行う際の電気的な接続を示したものである。

【0227】図18に示す構成により、行配線( $Dx1 \sim x_m$ )及び列配線( $Dy1 \sim y_n$ )にフォーミング電源(電位はV1またはV2)を接続してフォーミングを行う。このとき全行配線のうち、K本に電位V1を、残りの( $m - K$ )本に電位V2を印加し、同様に全列配線のうちL本に電位V2を、残りの( $n - L$ )本に電位V1を印加する。これにより全表面伝導型放出素子の $K \times L + (m - K) \times (n - L)$ 個の表面伝導型放出素子が選択され、

選択された表面伝導型放出素子にはほぼ電圧 $V_2-V_1$  (本実施例では6V)が印加されフォーミングが行われる。

【0228】一方、上記選択された素子以外の素子の両端の電極には、ほぼ等電位が印加されるため、素子両端にかかる電圧はほぼ0[V]となり、フォーミングが行われないのはもちろんのこと、電子放出部形成用薄膜が変質したり損傷したりする事も全く無い。次に、列配線(あるいは行配線)に接続した電位 $V_1$ と $V_2$ とを入れ換えることにより、先に選択されなかった残りの表面伝導型放出素子が選択され、同様にフォーミングを施す。

【0229】上述の行程で、 $m$ 、 $n$ を100、 $K$ 、 $L$ を50として作製した多数の平面型表面伝導型放出素子の特性を把握するために、その電子放出特性の測定を前述の図9の測定評価装置を用いて行った。

【0230】なお測定条件は、前述の実施例と同じく、アノード電極と表面伝導型放出素子間の距離を4mm、アノード電極の電位を1kV、電子放出特性測定時の真空装置内の真空度を $1 \times 10$ マイナス6乗torrとした。その結果、電子放出効率 $\eta = I_e / I_f$ (%)は0.04%であった。また、全ての素子において、ほぼ均一な特性が得られ、例えば電子放出効率 $\eta$ のばらつきは全体で8%以内であった。

【0231】<第6実施例>本実施例では第5実施例と同じフォーミング処理を施して作製した画像形成装置について図24を用いて説明する。

【0232】先の第2実施例と同様の構成及び作製方法であるが、 $100 \times 100$ 個の素子を単純マトリクス配線した電子源用基板、つまり第5実施例で作製した同じ基板を用いて、フォーミング処理を施していない状態の画像形成装置を作製する。

【0233】完成したガラス容器内の雰囲気排気管(図示せず)を通じ真空ポンプにて排気し、 $1 \times 10$ のマイナス5乗torrより高い真空度に達した後、容器外端子 $D_{x1}$ ないし $D_{xm}$ と $D_{y1}$ ないし $D_{yn}$ を通じ、第5実施例で示した容量で素子電極間に電圧を印加し、前述の通電処理(フォーミング処理)を行い、電子放出部を形成し、表面伝導型放出素子を作製した。次に、 $10$ のマイナス6乗トル程度程度の真空度で、不図示の排気管をガスバーナーで熱することで溶着し、外囲器の封止を行った。

【0234】最後に、封止後の真空度を維持するためにゲッタ処理を行った。

【0235】以上のようにして完成した本実施例の画像形成装置において、各表面伝導型放出素子には、容器外端子 $D_{x1}$ ないし $D_{xm}$ 、 $D_{y1}$ ないし $D_{yn}$ を通じ、走査信号及び変調信号を不図示の信号発生手段によりそれぞれ印加し、高圧端子HVを通して、高圧を印加して画像を表示した。

【0236】本実施例で作製した画像形成装置において

も、単純マトリクス配線された多数の表面伝導型放出素子を均一にフォーミングできることにより、素子特性が均一になり表示画像の輝度むらが8%以下となったことが確認された。

【0237】<第7実施例>第1実施例で作製したフォーミング処理を施していない電子源用基板を用い、本実施例の手段(A-2)の別の方法でフォーミング処理して作製した電子源について説明する。

【0238】図33は、 $640 \times 400$ 個の単純マトリクス配線されたフォーミング処理を施していないの表面伝導型放出素子群のうちの半数に対してフォーミングを行う際の電気的な接続を示したものである。また、図中、 $D_{x1}$ 、 $D_{x2}$ 、... $D_{x400}$ 及び $D_{y1}$ 、 $D_{y2}$ 、... $D_{y640}$ は、単純マトリクス配線の各配線を示している。また、 $V_1$ 、 $V_2$ はフォーミングパルスが発生する電源である。

【0239】本図は黒丸で示した素子を選択的にフォーミングする場合の電圧印加方法である。即ち、 $V_1$ をグラウンドレベル、 $V_2$ を電位 $V_{form}$ とする。黒丸の素子の両端にはほぼ( $V_2-V_1$ )の電圧即ち、 $V_{form}$ が、白抜きの素子の両端にはほぼ0[V]の電圧が印加されるので、選択的に黒丸の素子がフォーミングされ、白抜きの素子は変化されない。

【0240】次に、図34に示すのは、上記の方法でフォーミング処理を行うための電気回路構成の一例であり、図中、341はフォーミング処理を施していない表面伝導型放出素子を $640 \times 400$ 個、単純マトリクス配線した電子源用基板であり、また342はスイッチング素子、343はフォーミングパルス発生器、344は制御回路である。電子源341の行配線( $D_{x1}$ 、 $D_{x2}$ 、... $D_{x400}$ )のうち奇数番目のグループはグラウンドレベルに、偶数番目のグループはフォーミングパルス発生器の出力に接続する。列配線( $D_{y1}$ 、 $D_{y2}$ 、... $D_{y640}$ )のうち奇数番目のグループと偶数番目のグループは、それぞれグラウンドレベルあるいはフォーミングパルス発生器出力のどちらかに接続される。但し、同時にフォーミングパルス発生器に接続されることはない。

【0241】スイッチング素子342は、前述の列配線の接続切り換えを制御回路344からの信号信号により行う。フォーミングパルス発生器343は制御回路344の発生する制御信号に従って、前述のフォーミングパルスを出力する。

【0242】まず、フォーミング開始前、全ての配線はグラウンドレベルに保たれている。次に、列配線の奇数番目のグループをフォーミングパルス発生器343の出力に、偶数番目のグループをグラウンドレベルに接続するようにスイッチング素子342に制御回路344から信号が送出される。次に、制御回路344からフォーミングパルス発生器343に信号が送られ、フォーミングが行われる。フォーミングのパルスが選択された表面伝導型放出素子に印加される。このとき、各行配線には行方向



43

の表面伝導型放出素子個数640の2分の1である320個分のフォーミング電流が流れ、各列配線には同様に200個分の電流が流れる。選択された全ての素子のフォーミングが終了したならば、スイッチング素子342を切り換えて、列配線の奇数番目をグラントレベルに、偶数番目をフォーミングパルス発生器343の出力に接続することにより残りの素子が選択され、同様にフォーミングパルスを印加してフォーミングを行う。

【0243】本実施例では、上記手順により選択素子に図8に示したような電圧波形のパルスを印加してフォーミング処理を行った。なお、本実施例ではパルス幅T1を1mm秒、パルス間隔T2を10mm秒とし、三角波の波高値(フォーミング時のピーク電圧)は5Vとし、フォーミング処理は約 $1 \times 10$ マイナス6乗torrの真空雰囲気下で60秒行った。

【0244】また、本実施例においては、フォーミング時に各配線に流れる電流による温度上昇を押さえることができ、配線や基板の破壊は一切生じなかった。更に、図33に示したようにマトリクス配線された多数の表面伝導型放出素子を千鳥状にフォーミングしたので、温度むらが生ずることもなく、良好にフォーミングを行うことができた。

【0245】その結果、第5実施例と同様にして電子放出特性を測定すると電子放出効率 $\eta = I_e / I_f (\%)$ は0.05%であった。また、全ての素子において、ほぼ均一な特性が得られ、例えば電子放出効率 $\eta$ のばらつきは全体で13%以内であった。

【0246】また、第6実施例と同様の構成で作製したフォーミング処理前の画像形成装置に対して、本実施例の方法でフォーミング処理を施して作製した画像形成装置においても、単純マトリクス配線された多数の表面伝導型放出素子を均一にフォーミングすることができたことにより、素子特性が均一になり表示画像の輝度むらが13%以下となったことが確認された。

【0247】<第8実施例>第1実施例から第7実施例までは、一部の素子だけにフォーミング電圧を印加するよう外部端子から配線を通して給電する方法に関するものであったが、本実施例は、前記手段(B-1)により配線以外の電気的接続手段を用いて素子に給電するものである。本実施例で用いる方法は配線の並び方には依存せず、前述の梯子上配置や単純マトリクス配置どちらにも実施可能である。

【0248】まず表面伝導型放出素子を梯子上に配置した電子源の作製構成を図56を用いて説明する。

【0249】清浄化した青板ガラス上に厚さ0.5ミクロンのシリコン酸化膜をスパッタ法で形成した基板651上に、厚さ1000オングストロームのNi薄膜を真空蒸着により成膜し、ホトリソ技術により素子電極655、656を形成する。素子間電極ギャップL1及びこの近傍に開口を有するマスク(図29)を用いて、ホ

44

リソ技術により膜厚1000オングストロームのCr膜を真空蒸着により堆積・パターニングし、そのうえに有機Pd(ccp4230奥野製薬(株)社製)をスピナーにより回転塗布、300℃で約10分間の加熱焼成処理をした。

【0250】Cr膜及びCr上のPdを主成分とする薄膜をエッチングして所望のパターンを形成した。こうしてPdより成る微粒子からなる電子放出部形成用薄膜652形成する。その幅W2を300ミクロンとした。

10 【0251】この複数ライン状に並べたマルチ電子源と、本実施例の核心となるフォーミング用電気的接続手段を用いての通電を説明する斜視図を図35に示す。ここで351は前記表面伝導型放出素子であり1000個並列に並んでいる。352は各素子に通電する共通配線となるNi電極、353は共通配線352の複数部分で電気的接続を行う端子となる針状の銅端子、354は銅端子353とフォーミング電源とを電気的に結ぶ銅のバルク配線を示す。上記銅端子は表面伝導型放出素子3つ毎に332組で接続されるよう構成している。上記銅端子を共通配線352に圧着し、フォーミング電源から素子のフォーミングに必要な電圧を共通配線352に印加して電子放出部となる亀裂を形成させるものである。このときバルク銅配線354の各端子間での抵抗を共通配線352と比較して $1/1000$ 以下となるよう、バルク銅配線354の断面は1mm角以上の面積とした。

20 【0252】ここで、従来技術の問題点で述べたような亀裂形成のばらつきが発生すると、上記電子放出効率の素子間均一性が得られなかったが、本実施例のフォーミング装置を用いてフォーミング電圧を印加したところ、前記銅端子(図35の353)の接触部に於ける電圧のばらつきは0.001V以内に納まった。また、実際の素子特性として電子放出効率の素子間ばらつきも5%以下に抑えられた。

30 【0253】<第9実施例>本実施例では第8実施例の作製行程と同じ行程により作製したフォーミング処理を施していない電子源用基板を用いて画像形成装置を構成した例について図21、図53を用いて説明する。まず、第8実施例と同様に電気的接続手段を用いたフォーミング処理を窒素雰囲気中で行いリアプレート上に固定する。

40 50 【0254】図21は、梯子型配置のマルチ電子源を備えた画像形成装置のパネル構造を示すための図であり、図中、VCはガラス製の真空容器で、その一部であるFPは表示面側のフェースプレートを示している。フェースプレートFPの内面には、例えばITOを材料とする透明電極が形成され、更に該透明電極上には赤、緑、青の蛍光体がモザイクもしくはストライプ上に塗り分けられている。図面の複雑化を避けるため、図中では透明電極と蛍光体を合わせてPHとして示されている。なお、各色の蛍光体の間にはCRTの分野では公知のブラック



45

マトリクスもしくはブラックストライプを設けてもよく、また蛍光体の上に同じく公知のメタルバック相を形成することも可能である。前記透明電極は、電子ビームの加速電圧を印加できるように端子E Vを通じて真空容器外と電気的に接続されている。本実施例では4 k [V] の高圧を印加した。

【0255】また、リアプレートSは真空容器VCの底面に固定されたマルチ電子ビーム源の基板で、前述のように表面伝導型放出素子が配列形成されている。なお、本実施例においては、1列あたり200素子が並列に配線された素子列が200列設けられている。各素子列の2本の配線電極は、両側のパネル側面に設けられた電極端子Dp1~Dp200及びDm1~Dm200と交互に接続しており、真空容器外から駆動電気信号が印加できるようになっている。

【0256】また、リアプレートSとフェースプレートFPの中間には、ストライプ状のグリッド電極GRが設けられている。グリッド電極GRは、前記素子列と直交して(即ちY方向に沿って)200本が独立して設けられている。開口Ghは、各表面伝導型放出素子に対応して1個ずつ円形のものが設けられているが、場合によってはメッシュ状に多数の通過口を設けることもある。各グリッド電極は、電極端子G1~G200により真空容器外と電気的に接続されている。なお、グリッド電極は表面伝導型放出素子から放出された電子ビームを変調することができるものであればその形状や設置位置は必ずしも図21のようなものでなくても良く、例えば表面伝導型放出素子の周辺や近傍に設けてもよい。

【0257】本実施例の表示パネルでは、表面伝導型放出素子の素子列とグリッド電極で20×200のXYマトリクスを構成している。従って、素子列を1列ずつ順次駆動(走査)していくのに同期して、グリッド電極列に画像1ライン分の変調信号を同時に印加することにより、各電子ビームの蛍光体への照射を制御し、画像を1ラインずつ表示していくことができる。

【0258】次に、図53は前記図21の表示パネルを駆動するための電気回路をブロック図として示したもので、図中、600は前記図21の表示パネル、601は外部から入力する複合画像信号をデコードするためのデコード回路、602はシリ/パラ変換回路、603はラインメモリ、604は変調信号発生回路、605はタイミング制御回路、606は走査信号発生回路である。表示パネル600の電極端子は各々電気回路と接続されており、端子E Vは10 [KV] の加速電圧を発生する電圧源H Vと、端子G1~G200は変調信号発生回路604と、端子Dp1~Dp200は走査信号発生回路106と、端子Dm1~Dm200はグラウンドとそれぞれ接続されている。

【0259】以下、各部の機能を説明する。まず、デコード回路601は、外部から入力する例えばNTSCテレビ信号等の複合画像信号をデコードするための回路

46

で、複合画像信号から輝度信号成分と同期信号成分を分離して、前者をDATA信号としてシリ/パラ変換回路602に、後者をTsync信号としてタイミング制御回路605に出力する。即ち、デコード回路601は、RGBの各色成分毎の輝度を表示パネル600のカラー画素配列に合わせて配列しシリ/パラ変換回路602に順次出力する。また、垂直同期信号と水平同期信号を抽出してタイミング制御回路605に出力する。タイミング制御回路605は、前記同期信号Tsyncを基準にして、各部の動作タイミングを整合させるための各種タイミング制御信号を発生する。つまり、シリ/パラ変換回路602に対してはTSPを、ラインメモリ603に対してはTMRYを、変調信号発生回路604に対してはTMODを、走査信号発生回路606に対してはTSCANを出力する。

【0260】シリ/パラ変換回路602は、デコード回路601から入力する輝度信号DATAをタイミング制御回路605より入力されるタイミング信号TSPに基づいて順次サンプリングし、200個の並列信号I1~I200としてラインメモリ603に出力する。タイミング制御回路605は、画像の1ライン分のデータがシリ/パラ変換された時点でラインメモリ603に対して書き込みタイミング制御信号TMRYを出力する。ラインメモリ603は、TMRYを受けるとI1~I200の内容を記憶して、それをI'1~I'200として変調信号発生回路604に出力するが、これはラインメモリに次の書き込みタイミング制御信号TMRYが入力されるまで保持される。

【0261】変調信号発生回路604は、ラインメモリ603より入力される画像1ライン分輝度データに基づいて、表示パネル600のグリッド電極に印加する変調信号を発生させるための回路であり、タイミング制御回路605の発生するタイミング制御信号TMODに合わせて変調信号を端子G1~G200に同時に印加する。変調信号は、画像の輝度データに応じて電圧の大きさを変える電圧変調方式を用いるが、輝度データに応じて電圧パルスの長さを変えるパルス幅変調方式を用いることも可能である。

【0262】また、走査信号発生回路606は、表示パネル600の表面伝導型放出素子の素子列を適宜駆動するための電圧パルスを発生するための回路である。タイミング制御回路1005の発生するタイミング制御信号TSCANに合わせて適宜内部のスイッチング回路を切り替え、定電圧源DVの発生する表面伝導型放出素子の閾値を上回る適当な駆動電圧VE [V] か、またはグラウンドレベル(即ち0 [V]) かを選択して端子Dp1~Dp200に印加するものである。

【0263】以上の回路により、表示パネル600には特定のタイミングで駆動信号が印加される。即ち、振幅VE [V] の電圧パルスが画像の1ライン表示時間毎に順次Dp1, Dp2, Dp3...の順に印加されてゆく。一方、端子Dm1~Dm200は常にグラウンドレベル(0 [V]) と

接続されているため、上記電圧パルスにより素子列は第1列目から順次駆動され電子ビームが出力されていく。また、これと同期して変調信号発生回路604から、画像の1ライン分の変調信号が同時に端子G1〜G200に印加される。走査信号が切り替えられるのと同期して順次変調信号も切り替えられ、1画面分の画像が表示されてゆく。これを連続して繰り返し行うことにより、テレビジョン動画の表示が可能なのである。

【0264】本実施例で作製された画像形成装置においても、並列梯子状配置された多数の表面伝導型放出素子を均一にフォーミングすることができたことにより、素子特性が均一になり表示画像の輝度むらが5%以下となったことが確認された。

【0265】＜第10実施例＞第10実施例は第8実施例において述べた電氣的接続手段である複数の針状の銅端子が横に結がり、一体となったものである。

【0266】図36に本実施例を説明する電氣的接続部の斜視図を示す。361は表面伝導型放出素子、362は配線、363は電氣的接続の接触端子で、第8実施例と同様に銅で構成されている。図36よりわかる様に、第8実施例では針状であった接触部端子が、ここでは横に繋がったナイフエッジ状の形になっている。このため電氣的接続端子間に存在した抵抗はバルク金属で繋がったことによりほぼ0になり、更に素子間の配線抵抗も無視できるようになるため、通電処理時に素子に印加されるフォーミング電圧のばらつきは更に小さくなる。

【0267】第8実施例で用いたのと同じ電子源用基板に対して、該電氣的接続手段を用いてフォーミングを行った場合、第8実施例では、フォーミング時に各素子に印加される電圧のばらつきは0.001Vであったが、本実施例では0.0001V以内になる。

【0268】このため、実際の素子特性として電子放出効率(0.05%)の素子間ばらつきも5%以下に抑えられる。また、第9実施例と同様にして画像形成装置を形成すると、多数の表面伝導型放出素子を均一にフォーミングすることができることにより、素子特性が均一になり表示画像の輝度むらが5%以下となったことが確認された。

【0269】＜第11実施例＞第8実施例及び第10実施例は、表面伝導型放出素子が一列横に並んだ構成のマルチ電子源のフォーミングに関するものであったが、本実施例では単純マトリクス型に100×100個の素子を2次元に配線されたマルチ電子源に前記手段(B-1)を適用した場合について説明する。配線構成及び、表面伝導型放出素子電子源は第1実施例と同様にして形成され、複数の表面伝導型放出素子が並んだ電子源基板に電氣的接触手段を接続して、フォーミングを行う工程を図37を用いて説明する。

【0270】図37(c)に示した千鳥状に2列に配置された電氣的接続手段377、378(接続部分の針状

端子をプローブと呼ぶ)を用いて、1素子に対して1組の割合でプローブを接続し、ある1行に接続されている表面伝導型放出素子両端近傍に、電位V1、V2を印加する様に、それぞれのプローブを低抵抗配線3710、3711で接続した図である。各プローブはタングステン材のスプリングピンで、各ピンに数十gの荷重がかかる様に押し当てることにより、接触抵抗は0.1Ω以下となる。本実施例では、更に接触抵抗を下げるためにスプリングピン先端及び配線状でプローブが接触する部分373に低抵抗金属、ここではAuをコーティングした。これにより接触抵抗は0.01Ω以下となった。これらプローブはフォーミングパルスを発生する電源に接続されている。

【0271】フォーミングパルスは図8に示すパルス波形で、T1を1msec、T2を10msec、ピーク電圧を4Vとした。1行のフォーミングが終了後、プローブを接続する行を変えて順次フォーミングを行い、全表面伝導型放出素子のフォーミングを完了する。本実施例のフォーミング装置を用いてフォーミング電圧を印加したところ、前記スプリングピンの接触部に於ける電圧のばらつきは0.01V以内におさまリ、素子特性として電子放出効率(0.05%)の素子間ばらつきも5%以下に抑えられた。

【0272】本実施例では表面伝導型放出素子1つに1組のプローブを接続したが、配線抵抗及び、素子抵抗を考慮して複数個おきに接続しても効果は同様に得られる。

【0273】また本実施例では配線表面が露出している部分にプローブを接触させたが、配線表面が露出していない場合、例えば絶縁層で覆われている場合、プローブ接触部分の絶縁層を除去した基板を作製して、本実施例と同様のフォーミング処理を施すことにより、同様の効果が得られる。

【0274】＜第12実施例＞本実施例では第11実施例で作製したフォーミング処理を施していない電子源用基板を用いて画像形成装置を構成した例について図24を用いて説明する。

【0275】まず、第11実施例と同様のフォーミング処理を大気中あるいは窒素雰囲気中で行いリアプレート241上に固定する。その後、第2実施例と同様の構成、方法により画像形成装置を作製する。

【0276】以上のように完成した本発明の画像形成装置において、各表面伝導型放出素子には、容器外端子Dx1ないしDxm、Dy1ないしDymを通じ、走査信号及び変調信号を不図示の信号発生手段によりそれぞれ印加し、高圧端子HVを通じて5kVの高圧を印加し、画像を表示した。本実施例で作製した画像形成装置においても、単純マトリクス配線された多数の表面伝導型放出素子を均一にフォーミングすることができたことにより、素子特性が均一になり表示画像の輝度むらが5%以下となっ

たことが確認された。

【0277】<第13実施例>本実施例も表面伝導型放出素子を単純マトリクス配置した電子源に手段(B-1)を適用した場合に関するもので、電気的接続手段を行あるいは列の一方にのみ設けたフォーミング方法である。配線構成及び、フォーミング処理を施す前の複数素子を備えた電子源用基板は第1実施例と同様に形成され、該電子源用基板に電流注入端子を接続して、フォーミングを行う工程を図38を用いて説明する。

【0278】第8実施例では、電気的接続手段として正極側と負極側の2組で表面伝導型放出素子に通電するようにしたが、本実施例では第1実施例と同様に、横1列の素子を選択してフォーミングを行った。即ち選択した1行(図38ではDxLライン)の素子の共通配線の端部を接地し、更に該配線と選択された各素子が接続する部分に、第8実施例と同様の電気的接続手段を接続し、該手段も接地する。また、各列配線(図でDy1~Dym)配線及びDxLライン以外の行配線(Dx1~DxmでDxL以外)を電位Vfのフォーミング電源に接続する。正極側は素子1つ1つに対し、同じ並列抵抗で並列に電圧Vfが印加されるので、接地側だけに本実施例の電気的接続手段を設けるだけでもフォーミング電圧のばらつきを十分抑えられる。選択するラインを順次変えることにより全素子に対してフォーミングを施すことができる。

【0279】m, nを1000とした電子源用基板に対して、上記方法によりフォーミング処理したところ、前記スプリングピンの接触部に於ける電圧のばらつきは0.01V以内におさまリ、実際の素子特性として電子放出効率(0.05%)の素子間ばらつきも5%以下に抑えられた。また、本実施例により作製された電子源基板を用いて、第12実施例と同様に作製された画像形成装置においても、単純マトリクス配線された多数の表面伝導型放出素子を均一にフォーミングすることができたことにより、素子特性が均一になり表面画像の輝度むらが5%以下となったことが確認された。

【0280】また、本実施例では選択した各素子に対し1対1で電気的接触手段を設けたが、電気的接続手段が接続点が一点の場合でも印加電圧のばらつきを改善することが可能である。例えば図38の行配線DxLの両端を接地し、該配線の中央部にのみ電気的接触手段を接続してフォーミング処理を行った場合でも、作製された素子の電子放出効率の素子間ばらつきを10%以内に抑えられた。

【0281】<第14実施例>本実施例は第8実施例において述べた電気的接続手段である銅端子の後段に加熱/冷却器をはさんで熱容量の大きな部分を設けているものである。

【0282】図39に本実施例を説明する装置斜視図、図40に装置の概要を説明するブロック図を示した。391はガラス基板、392は第8実施例と同様の工程で

作製した表面伝導型放出素子を構成する微粒子膜で両端に形成された電極間隔L1は20 $\mu$ mとし、1000個一列に並んだ構成となっている。393は複数の並んだ表面伝導型放出素子に共通に通電するためのNi電極パターン、394はフォーミング電圧を印加する電気的接触端子となる針状の銅端子で、素子3個毎に332組並んだ構成となっている。

【0283】395は前記銅端子394と電気的かつ熱的に結合したバルク導体で、ここでは断面5mm $\times$ 20mmの銅のバーを用いている。396は加熱/冷却器となるペルチェ素子、397は大熱容量導体となる断面20mm $\times$ 20mmの銅のバーで、401は放熱器、402は395の温度の検出器で、ここでは熱電対を用いている。403は該加熱/冷却器を駆動する温度コントローラ、404はフォーミング電源を示している。上記構成で、銅端子394を共通配線393に圧着し、フォーミング電源404から素子のフォーミングに必要な電圧を共通配線393に印加して電子放出部となる亀裂を形成させるものである。このとき、銅のバー395の各端子間での抵抗は共通配線393と比較し、1/1000以下となるため、実施例8と同様、素子に印加されるフォーミング電圧にばらつきは無くなる。

【0284】また、銅のバーの熱容量は銅端子394、共通配線393と比較し、桁違いに大きいので共通配線と銅端子の接触部の温度は常に一定に保たれることになる。フォーミングによるジュール熱で素子が加熱されても前記熱電対402でモニタし、温度コントローラでペルチェ396を制御して銅のバー395を冷却することで、ほぼ一定の温度にマルチ電子源を保つことが可能となる。更に、電極の温度を素子間のばらつきなく、常に低く保てるため、フォーミング中の微粒子膜392の温度プロファイルは急峻なものとなり、温度がピークとなり、熱破壊が起こる領域は狭く、かつ素子間に於けるその領域の相対的位置も一定になるため、亀裂の位置、形状のばらつきは小さく抑えられることになる。

【0285】本実施例フォーミング装置を用いて第8実施例と同様の電子源用基板にフォーミング電圧を印加した場合、前記銅端子394の接触部に於ける電圧のばらつきは0.01V以内に納まり、各素子の温度のばらつきも1 $^{\circ}$ C以内に納まり、電極間隔L1を20 $\mu$ mと広くしたにもかかわらず実際の素子特性として電子放出効率の素子間ばらつきも5%以下に抑えられた。

【0286】また、上述の本実施例により作製した電子源基板を用いて、第12実施例と同様に作製された画像形成装置においても、多数の表面伝導型放出素子を均一にフォーミングすることができたことにより、素子特性が均一になり表示画像の輝度むらが5%以下となったことが確認された。

【0287】<第15実施例>本実施例は前記手段(B-1)を実際に行う装置に関するものである。配線構成

と、フォーミング処理を施す前の表面伝導型放出素子を第1実施例と同様にして形成した電子源基板に複数の電気的接触手段を1列に素子が並んだ1つの配線状に設けてフォーミングを行う。ここで素子が300個並んだ横1列に関しては上記装置により、一度にフォーミングできるが、本実施例の様にそれが縦に200行並んでいる場合、1行ずつこの操作を繰り返すと、工程時間がかかり、大量生産には不都合が生じる。そこで上記フォーミング機構を複数用意し、並列に並べて同時に駆動させることで工程時間は短縮される。

【0288】図41に装置を説明する斜視図を示す。411は単純マトリクス型に素子が並んだマルチ電子源、412は前記電気的接続手段が3つ並列したフォーミング機構、413は温度コントローラ414はフォーミング電源である。図では3つの前記電気的接続手段が並んだ構成を示したが、これはマルチ電子源状のスペースと、フォーミング電源の許容電流量で適当に選ぶものであるが、数は多ければ多い程、工程時間は短縮される。

【0289】上記構成で第12実施例で述べたフォーミング操作を行うと、各表面伝導型放出素子の電子放出効率のばらつきは5%以内におさまリ、1列ずつ繰り返した場合と比較し、1/3の時間でフォーミングが行える様になった。

【0290】ここで図41では3つの前記電気的接続手段が並んだ構成を示したが、これはマルチ電子源状のスペースと、フォーミング電源の許容電流量で適当に選ぶものであるが、数は多ければ多い程工程時間は短縮される。

【0291】以上、第8実施例から第15実施例では、1列に並んだマルチ電子源あるいは、単純マトリクス型2次元に並んだマルチ電子源について述べたが、電気的接続手段を使用する本実施例の通電方法は、その他の一般的な配線パターンについても同様に使用できるものである。

【0292】<第16実施例>次に、本実施例の手段(B-2)による実施例を示す。先述の第1実施例の工程(a)-(e)と同様の手順で単純マトリクス配線パターンを作製する。但し行配線の一部は図42の様にギャップ423が設けられている。次に、該ギャップ136を高インピーダンス配線で接続する工程について、図43(a)~43(d)を用いて説明する。

【0293】図42のA-A'断面形状を図43(a)に示す。次に、スパッタ法を用いてニッケル・クロム合金を約2000オングストローム蒸着し、フォトリソグラフィ法にてパターニングし、ギャップ423上に高インピーダンス部423を設ける(図43(b))。次に、金-鉛ペースト428をマイクロディスペンサを用いてギャップ部423の片側に塗布する(図42(c))。この間の回路図を簡単に表したのが図44である。なお、図44では、図示の便宜上、6×6個の

素子からなる電子源の例で示しているが、本実施例の実際の電子源は1000×1000個の素子で構成され、X方向のラインDx1~Dx1000の各配線中に等間隔にそれぞれ10箇所(100素子毎)の高インピーダンス部分(分割部)が設けられている。

【0294】次に、前述の実施例の1の作製行程(f)-(h)と同様の手順でフォーミング処理を施していない電子源用基板を作製する。

【0295】次に、高インピーダンス部分より給電部分に近い側に位置する素子、つまり(D(1,1)~D(1,6), D(1,6)~D(2,6))を単素子毎にフォーミングする。このときの電圧印加方法について図44に示す。図44ではD(1,1)の素子をフォーミングするために、Dx1とDy1との間に電圧をかけている状態を表している。印加する電圧は前述の第8実施例と同様のパルス波形を印加する。結果はフォーミング電圧が5Vで、その時の電流は分割がない時の電流値の4分の1となった。

【0296】その後には基板裏面よりレーザ光を当てR(1,1)~R(1,6)のニッケル・クロム薄膜424を昇温させ、ペースト428を溶解させる。この溶解したペースト部分を429で示す(図45)。なお、他のギャップ部に対しても同じプロセスを繰り返すことにより、図44に示す、各X方向ラインの分割部R(1,1)~R(1,6)が低抵抗導電体が接続される。その後、次の領域、つまり図44のD(3,1)~D(3,6)、D(4,1)~D(4,6)の素子について同様にフォーミング処理を行う。次に分割部R(2,1)~R(2,6)を低抵抗化する。これを繰り返し全素子に対してフォーミング処理を施す。その結果図46に示すような単純マトリクス状に配線された表面伝導型放出素子482を有する電子源が得られる。

【0297】以上の様にして作成された電子源について、その前述の評価装置により電子放出特性の測定が行った。電子放出効率 $\eta = I_e / I_f (\%)$ は0.05%であった。またそのばらつきはパネル全体で7%以下に抑えられている。

【0298】上記実施例では高インピーダンス部分で区切られた領域内で1素子毎にフォーミングする場合について述べたが、該領域内で実施例1の様に1行を選択し、一括してフォーミングすることも可能で、この場合電子放出効率のばらつきは基板全体で5%以内に抑えられた。

【0299】<第17実施例>本実施例では第16実施例で作製したフォーミング処理を施していない電子源用基板を用いて画像形成装置を構成した例について図24を用いて説明する。

【0300】まず、第16実施例と同様のフォーミング処理を大気中あるいは窒素雰囲気中で行いリアプレート241上に固定し、画像形成装置を作製する。この完成

した本実施例の画像形成装置において、各表面伝導型放出素子には、容器外端子Dx1ないしDxm、Dy1ないしDynを通じ、走査信号及び変調信号を不図示の信号発生手段によりそれぞれ印加し、高压端子HVを通じて5kVの高压を印加し、画像を表示した。

【0301】本実施例で作製した画像形成装置においても、単純マトリクス配線された多数の表面伝導型放出素子を均一にフォーミングすることができたことにより、素子特性が均一になり表示画像の輝度むらが3%以下となったことが確認された。

【0302】上述の例では、フォーミング処理を行った後に、リアプレートに固定し画像形成装置を作製したが、フォーミング処理前の電子源用基板を用いて画像形成装置を構成し、その後、容器外端子Dx1ないしDxm、Dy1ないしDynを通じ通電することにより、フォーミングを行い、また高インピーダンス部分の低抵抗化は、リアプレートを通してレーザー光で加熱することにより行っても、先の例と同様に素子特性のばらつきを5%以下に抑えられた。

【0303】＜第18実施例＞前記手段(B-2)を適用した別の実施例による電子源の平面図を図47に示す。本例では図47の様に表面伝導型放出素子を梯子状に1次元配線し、配線の一部にギャップを設けてある。ギャップ付配線を製作する工程については第16実施例に準ずるものである。

【0304】そこでフォーミング処理及びフォーミングを実施した後ギャップ491を接続する工程について図47、図48(a)(b)、図49(a)(b)を用いて説明する。

【0305】図20Bはギャップ491つき配線が完成した状態の回路図を簡単に表したものである。図示の便宜上表示パネルの画素数を6×6とし、各ブロックを2素子ずつに分割し示しているが、ここで用いた電子源は、1列に1000個の素子が配線された列が1000列あるもので配線を等間隔に10等分(100素子ずつ)分割したものである。

【0306】次に、図49(a)にギャップ部断面を示す。ここで第6実施例で用いたのと同じマルチプローブ512を用い、図49(b)のプローブ接続点511にプローブを接続しフォーミング電源513を接続して1ライン状の素子に対して同時にフォーミング処理を行う。この電圧印加方法を図51に示す。各フォーミング電圧は5Vでその時の各ブロック(100素子)毎の電流は約3.0Aであった。これは分割がない場合の十分の一に当たる。

【0307】次に図48(b)に示す通り、ギャップ491を1箇所につき3本の直径30ミクロンの金ワイヤー492にてボンディングして接続してマルチ電子源基板を完成した。

【0308】以上説明した通り、本発明の基本思想によ

れば素子の構造、材料、製造方法により必ずしもこれに決まるものではない。従って分割の大きさは1素子あたりのフォーミング電流に応じて決定すれば良い。

【0309】実際、第16実施例と同様にして1素子あたりの素子特性を測定すると、電子放出効率 $\eta = I_e / I_f (\%)$ は平均0.05%であった。またそのばらつきはパネル全体で6%以下に抑えられている。

【0310】本実施例のフォーミング処理方法で第9実施例と同様にして形成した画像形成装置においても、単純マトリクス配線された多数の表面伝導型放出素子を均一にフォーミングすることができたことにより、素子特性が均一になり表示画像の輝度むらが6%以下となったことが確認された。

【0311】＜第19実施例＞次に表面伝導型放出素子を単純マトリクス配置した電子源を前記手段(B-3)を適用して作製した別の実施例を示す。前述の第1実施例と同様の工程によりフォーミング処理を施していない表面伝導型放出素子を単純マトリクス配線した電子源用基板を作製する。なお、本実施例では100×100個の素子を配線した単純マトリクス構成のものを作製した。また、各素子の抵抗は未フォーミングの状態では約1キロオーム、1素子当たりの上配線抵抗と下配線抵抗は共に約0.01オームであった。

【0312】以上に様にして作製した電子源用基板を2台用意し、以下に示す異なる2方法によりフォーミングを行った。

【0313】(フォーミング方法1)まず本実施例によるフォーミング方法を図55を用いて説明する。上記の様に完成した電子源用基板613の上配線につながる接続端子D0y1ないしD0ykが順次給電部653となる様に(図ではD0ykが給電部)、接続を制御する外部スキャン回路632と、電圧源633を接続し、下配線につながる接続端子D0x1ないしD0xmを接地した。ここで、電流モニタ回路634により給電部を流れる電流をモニタできる様にしておき、フォーミング処理の対象となる1ラインのインピーダンスを検知できる様にしている。

【0314】次に、図54に示すフォーミング波形を印加し、フォーミングを行った。ここで、T1は1ミリ秒、T2は10ミリ秒、Nは10とした。またブロック数は10とした。kライン、mブロックをフォーミングするときに、給電部D0ykに印加する電圧(ピーク値)を、 $V_0(k, m) = 8.5 \times \{1 + k/10000 + 0.05m - 0.001m \times m\}$ ;  $m=1 \sim 10$ とした。

【0315】ここで、インピーダンスの測定は、図54のN個のフォーミングパルス印加後に、先の印加電圧V0(k, m)よりも低い電圧Viを印加して、まだフォーミングされていない素子に影響を与えることなく、インピーダンス測定を行う。ここで、測定されたインピーダ

10

20

30

40

50

55

ンスが、フォーミングの対象となっているkライン、mブロックがフォーミングされたと判断されたインピーダンスよりも低い場合、対象となっている素子はまだフォーミング終了していないと判断し、追加のフォーミングパルスを発生する(図54(b))。

【0316】(フォーミング方法2:比較例)上記の様に用意したもう1枚の電子源用基板に対して、上記フォーミング方法1と同じ構成で回路を接続する。但し、本方法では電流モニタ回路は動作させず、図8に示すフォーミング波形で、T1を1ミリ秒、T2を10ミリ秒、ピーク電圧値は9.3Vで一定として電圧を印加し、一括フォーミングを行った。

【0317】以上の様に完成したマルチ表面伝導型放出素子電子源(フォーミング方法1によるもの、フォーミング方法2によるもの)において、各表面伝導型放出素子には端子Dx1ないしDxm、Dy1ないしDynを通じ、前述の第16実施例と同様に、1素子あたりの素子特性を測定するとフォーミング方法1によるものは電子放出効率 $\eta = I_e / I_f (\%)$ は0.1%であった。またそのばらつきはパネル全体で5%以下に抑えられている。

【0318】それに対し、フォーミング方法2によるものは、電子放出効率 $\eta = I_e / I_f (\%)$ は0.5%であった。またそのばらつきはパネル全体で10%以上であった。

【0319】なお本実施例ではアドレスの検出をインピーダンス測定により行ったが、配線の電位分布からアドレスを検知する手段を図51(a)(b)を用いて説明する。

【0320】フォーミング前後で各素子のインピーダンスが変化することにより、フォーミングが終了すると素子の近傍の配線の電位が大きく変化する(図51(b))。この変化を検出する、つまりプローブピン531を配線に接続し、配線の電位分布の変化を検出することによってもフォーミングされた素子のアドレスを検知できる。

【0321】<第20実施例>本実施例では第5実施例で作製したフォーミング処理を施していない電子源用基板を用いて画像形成装置を構成した例について図24を用いて説明する。

【0322】先のフォーミング処理を施していない電子源用基板111をリアプレート241上に固定した後、フェースプレート246、支持枠242を介し配置し、フェースプレート246、支持枠246、リアプレート241の接合部にフリットガラスを塗布し、大気中あるいは窒素雰囲気中で、400℃で15分以上焼成することで封着した。また、リアプレート241への電子源用基板111の固定もフリットガラスで行った。

【0323】以上のようにして完成したガラス容器内の雰囲気気を排気管(図示せず)を通じ真空ポンプにて排気し、1×10のマイナス5乗torrより高い真空度に達し

56

た後、容器外端Dx1ないしDxmとDy1ないしDynを通じ、第19実施例で示した容量で素子電極間に電圧を印加し、第19実施例と同じく2つの方法で通電処理(フォーミング処理)を行い、電子放出部を形成し、表面伝導型放出素子を作製した。次に10のマイナス6乗torr程度の真空度で、不図示の排気管をガスバーナで熱することで溶着し外囲器の封止を行った。最後に封止後の真空度を維持するために、ゲッター処理を行った。

【0324】以上のようにして完成した本実施例の画像形成装置において、各表面伝導型放出素子には、容器外端子Dx1ないしDxm、Dy1ないしDynを通じ、走査信号及び変調信号を不図示の信号発生手段によりそれぞれ印加し、高圧端子HVを通じ、6kVの高圧を印加し、画像を表示した。そして全画素の輝度を測定したところ図50に示すようになった。即ち、第19実施例で述べたところのフォーミング方法1によるものでは、全画面内の輝度むらは極めて小さいのに対し、フォーミング方法2によるものでは画面の外縁部3辺付近の輝度が大きく、中央付近では暗かった。つまり、各素子のアドレスに応じて給電部に印加する電圧値を制御することにより、輝度のむらが5%以下になり、高品位の画像形成装置を得ることができた。

【0325】<第21実施例>次に、前記手段(B-3)を適用して作製した梯子状配置した電子源を用いて構成した、画像形成装置を図21を用いて説明する。本実施例では絶縁性基板211上にフォーミング前の表面伝導型放出素子を作製した。作製工程は実施例8と同様である。表面伝導型放出素子(フォーミング前)の寸法等も実施例8と同様である。但し1列の素子数は200であり、電極の給電部と接地部はラインの両端部に各1カ所ずつ設けた。尚、等価回路は図16(c)で表されたものと同様である。

【0326】このように作成された電子源用基板に対して、図52に示すフォーミング波形でフォーミングを行った。このパルス群のピーク値は8Vから徐々に大きくなり、最大9Vであり、その後徐々に減少して再び8Vになる過程を2度繰り返している。T1は1ミリ秒、T2は10ミリ秒で2度繰り返しの全過程は約5秒であった。ここで用いた電圧値は種々の検討条件の中から最適なものを選択した。その結果、電子放出効率のばらつきが7%以下となり、素子毎に極めて均一な電子放出特性を有することがわかった。本実施例では既にフォーミングされてしまった素子のアドレスを検出することなく、良好な一括フォーミングが行えた。

【0327】以上、第1実施例から第21実施例では、前述した手段A-1, 2, B-1, 2, 3について、いくつかの組合せが可能であることを示したが、ここで示した組合せ以外でも組み合わせることが可能である。

【0328】以上説明した実施例中、電子放出部を形成する際に、素子の電極管に三角波パルスを印加してフォ

ーミング処理を行っているが、素子の電極管に印加する波形は三角波に限定することなく、矩形波など所望の波形を用いても良く、その波高値及びパルス値・パルス間隔などについても上述の値に限ることなく、電子放出部が良好に形成されれば所望の値を選択することができる。

【0329】なお、先述した実施例において、表面伝導型放出素子を垂直型(SCE)とした場合に、同様の結果が得られた。

【0330】また本発明の適用は、表面伝導型素子に限らず例えばMINのようにフォーミングを必要とする他の素子にも使える。

【0331】尚、本発明は、複数の機器から構成されるシステムに適用しても1つの機器から成る装置に適用しても良い。また、本発明は、システム或は装置に本発明を実施するプログラムを供給することによって達成される場合にも適用できることはいうまでもない。

【0332】

【発明の効果】以上説明したように本発明によれば、複数の電子放出素子を基板状に配置した電子源、及び画像形成装置及びその製造方法において、複数の電子放出素子の電子放出部を形成するフォーミング工程で、

A. 所望の部分の素子群にのみ電圧が印加され、それ以外の素子群に電圧が、印加されないように外部給電機構を設けることで、基板上の全電子放出素子全て同時に行わず、複数に分割し、順次フォーミングを行う。

【0333】B. 所望の部分の素子群をフォーミングする際、各素子がほぼ同じ電圧あるいは同じ電力でフォーミングされるような機構を設け、順次フォーミングを行う。ことにより、

(1) フォーミング中に静電破壊されることが無くなり、製造歩留まりが向上した。

【0334】(2) フォーミング中、表面伝導型電子放出素子への電圧、電流の回り込みが無くなり、配線での電位降下によるフォーミング電圧あるいは電力の分布が減少することで、電子放出特性の分布が減少した電子源を作成が可能となった。

【0335】(3) (2)の結果輝度むらの小さい、品位の高い画像形成装置が可能になった。

【0336】(4) 1ラインの配線に接続することが可能な素子の数が制限が、緩和され、大面積かつ品位の高い画像形成装置が可能になった。

【0337】(5) 配線抵抗を低くするために、AuやAgなど比較的高価な材料を使用する必要がなく、原材料の選ぶ自由度が広がり、より安価なものを使用できるようになった。

【0338】(6) 配線抵抗を低くするために配線電極を厚く形成する必要がなく、電極の形成やパターニングといった製造プロセスに要する時間の短縮、装置設備の値段を減少させることが可能になった。

【0339】

【図面の簡単な説明】

【図1】従来の表面電極型の電子放出素子の模式図である。

【図2】本発明の一実施例にかかる垂直型表面伝導型電子放出素子の基本構成図である。

【図3】従来のフォーミングの問題点を説明する図である。

【図4】従来のフォーミングの問題点を説明する図である。

【図5】単純マトリクス配線の一例を示す図である。

【図6】本実施例に係る表面伝導型電子放出素子の模式図である。

【図7】本実施例に係る表面伝導型電子放出素子の基本的製造工程を説明する図である。

【図8】本実施例の表面伝導型電子放出素子のフォーミング電圧の一例を示す波形図である。

【図9】本実施例の表面伝導型電子放出素子の測定評価回路の構成を示すブロック図である。

【図10】本実施例の表面伝導型電子放出素子の特性例を示す図である。

【図11】本実施例の電子源をマトリクス状に配列した回路例を示す図である。

【図12】本実施例の電子源をマトリクス状に配列した回路の等価回路図である。

【図13】本実施例のラインフォーミング時の状態を示す等価回路図である。

【図14】本実施例のラインフォーミング時においてn番目の素子をフォーミングする時の等価回路図である。

【図15】本実施例のラインフォーミング時における各素子の印加電圧分布を示す図である。

【図16】本実施例の梯子型に接続された素子のフォーミング時の等価回路と、各素子に印加される電圧分布を説明する図である。

【図17】本実施例の片側或は両側より給電されてフォーミングを行う状態を説明する図である。

【図18】本実施例の行及び列方向でのフォーミングを説明する図である。

【図19】本実施例のフォーミングを説明する図である。

【図20A】本実施例の単純マトリクスにおけるはしご型配線の一例を示す図である。

【図20B】本実施例の単純マトリクスの一部を分割した一例を示す図である。

【図21】本実施例の画像形成装置の構成を示す図である。

【図22】本実施例の画像形成装置の回路構成を示すブロック図である。

【図23】本実施例のフォーミングパルスの一例を示す図である。



【図24】本実施例の画像形成装置の基本構成を示す図である。

【図25】本実施例の画像形成装置の蛍光体のパターン例を示す図である。

【図26】本実施例のマトリクス状に配置された電子源の一部の平面図である。

【図27】図26のA-A'の断面図である。

【図28】本実施例の表面伝導型電子放出素子の製造工程を説明する図である。

【図29】本実施例の表面伝導型電子放出素子のマスクの一部平面図である。

【図30】本実施例のマトリクス状に配列された表面伝導型電子放出素子の一部をフォーミングする際の電気的接続を示す図である。

【図31】本実施例のフォーミング装置の回路構成を示す回路図である。

【図32】本実施例の表面伝導型電子放出素子の特性例を示す図である。

【図33】本実施例の単純マトリクス配線された表面伝導型電子放出素子のフォーミングを説明する図である。

【図34】図33のフォーミングを行う回路構成を示す図である。

【図35】本実施例のフォーミング時の通電を説明する斜視図である。

【図36】他のフォーミング時の通電を説明する斜視図である。

【図37】本実施例のフォーミングを行う工程を説明する図である。

【図38】本実施例におけるフォーミングを行う工程を説明する等価回路図である。

【図39】他の実施例のフォーミングのための電気接続を示す斜視図である。

【図40】図39に示す装置の概要を示すブロック図である。

【図41】他の実施例のフォーミングのための装置の接続を示す図である。

【図42】他の実施例のマトリクス状に配置された電子源の一部の平面図である。

【図43】本実施例におけるギャップを高インピーダンス配線で接続する工程を説明する図である。

【図44】本実施例の単純マトリクス配線のフォーミング処理を説明する図である。

【図45】実施例のマトリクス状に配置された電子源の一部の平面図である。

【図46】本実施例のフォーミング処理後の単純マトリクスに配列された電子源を示す図である。

【図47】他の実施例のマルチ電子源の一部を示す平面図である。

【図48】本実施例のマトリクス配線におけるギャップ部の断面と、その接続を示す図である。

【図49】他の実施例のアプローブを用いたフォーミングを説明する図である。

【図50】フォーミング方法による輝度むらを説明するための図である。

【図51】配線上の電位より電子源のアドレスを検知する方法を説明する図である。

【図52】本実施例のフォーミング波形の一例を示す図である。

【図53】本実施例の画像形成装置の構成を示すブロック図である。

【図54】本実施例のフォーミング波形の一例を示す図である。

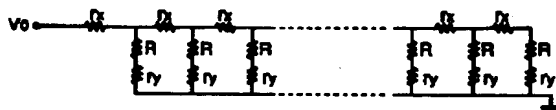
【図55】本実施例によるフォーミング方法を説明する図である。

【図56】本実施例のはしご型の表面伝導型電子源の作成工程を説明する図である。

#### 【符号の説明】

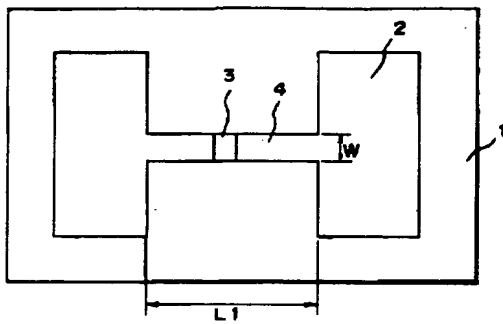
- 61, 261 基板
- 62, 271 電子放出部形成用薄膜
- 63 電子放出部
- 64, 264 電子放出部を含む薄膜
- 65, 66, 272, 273 素子電極
- 94 アノード電極
- 112 X方向配線
- 113 Y方向配線
- 114 表面伝導型電子放出素子
- 115 結線
- 191 マルチ電子源
- 221, 311 電子源用基板
- 262 下配線(X方向配線)
- 263 上配線(Y方向配線)
- 274 層間絶縁層
- 275 コンタクトホール
- 311 電子源用基板

【図13】

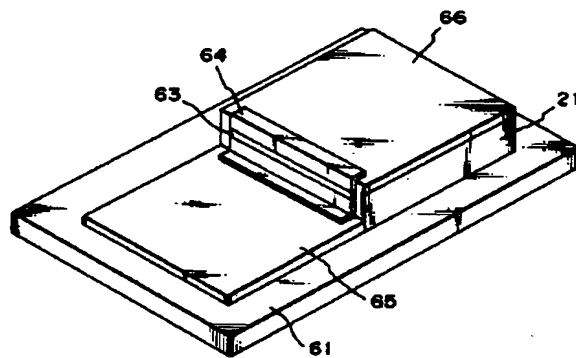




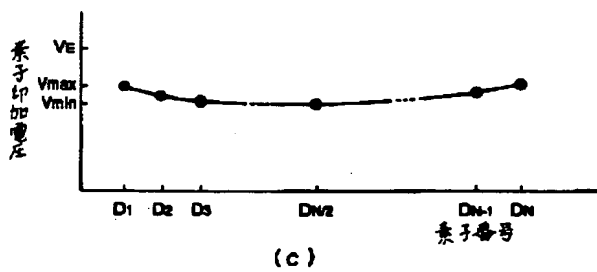
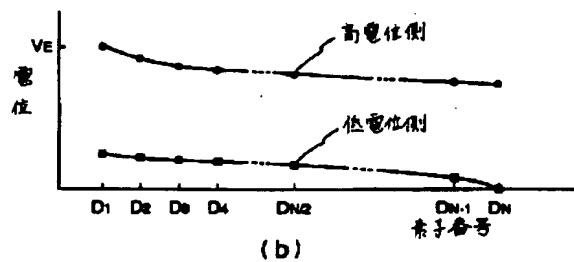
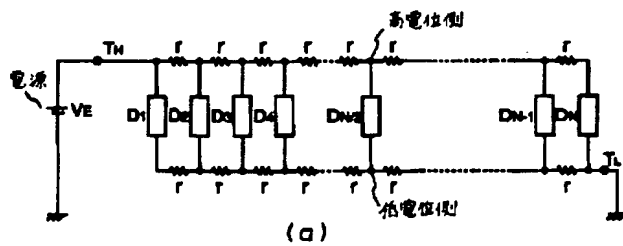
【図1】



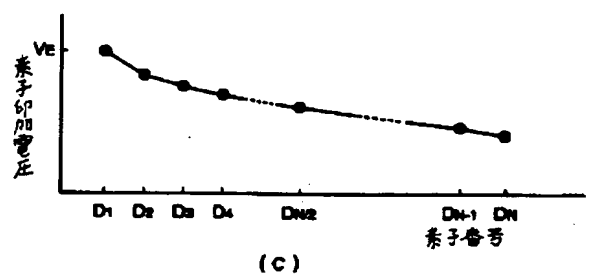
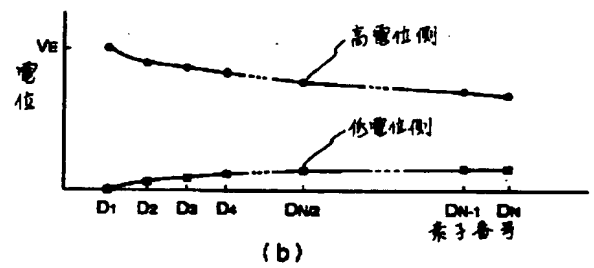
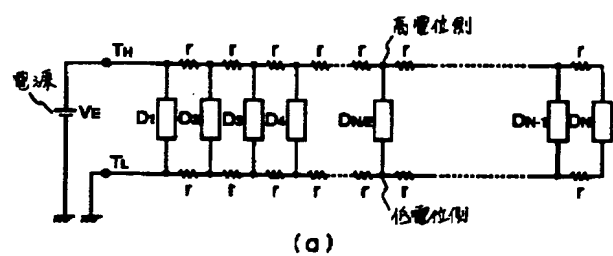
【図2】



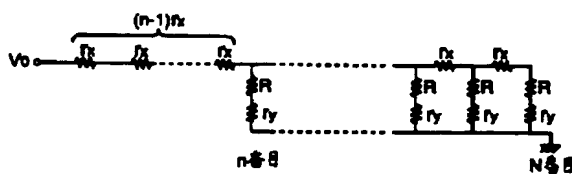
【図3】



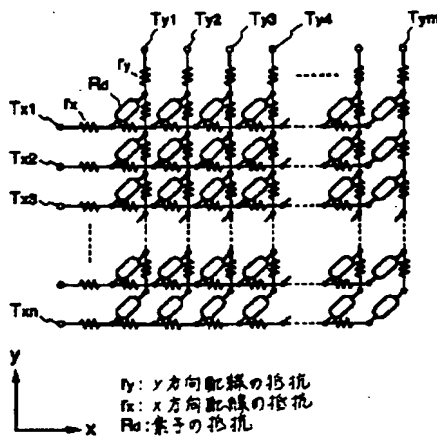
【図4】



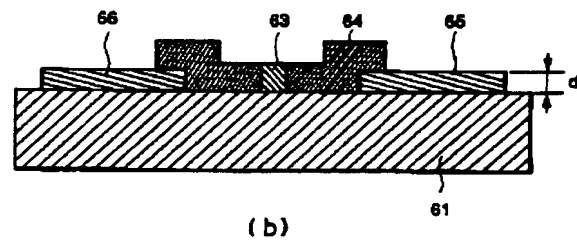
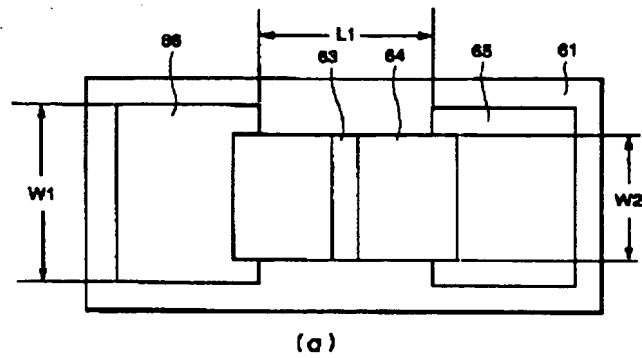
【図14】



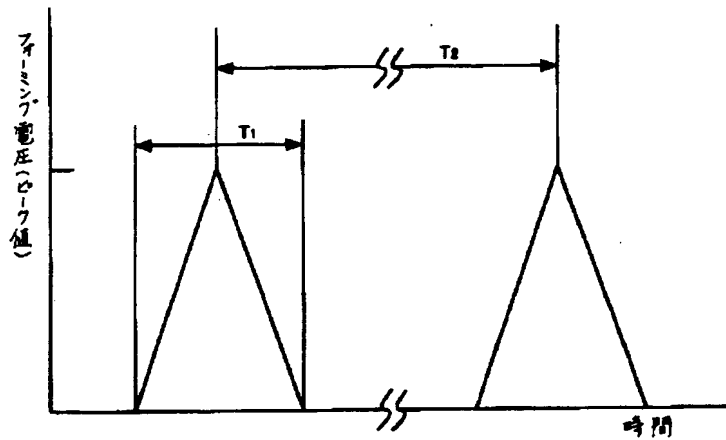
【図5】



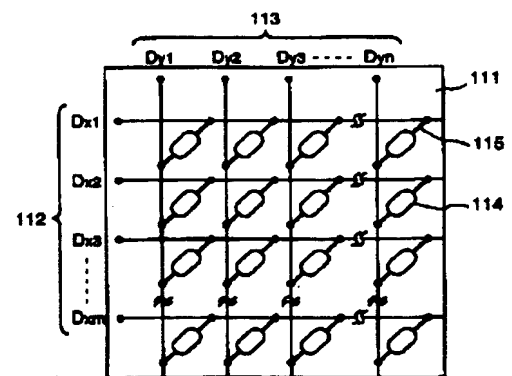
【図6】



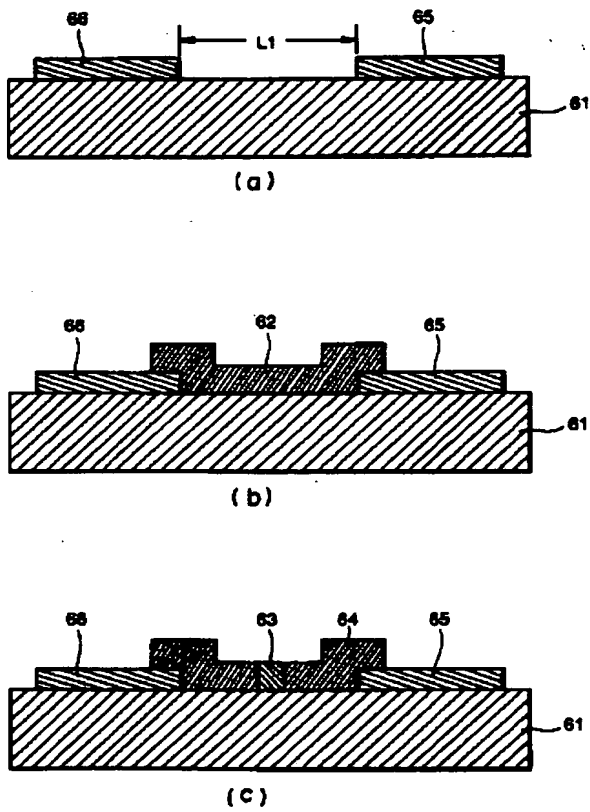
【図8】



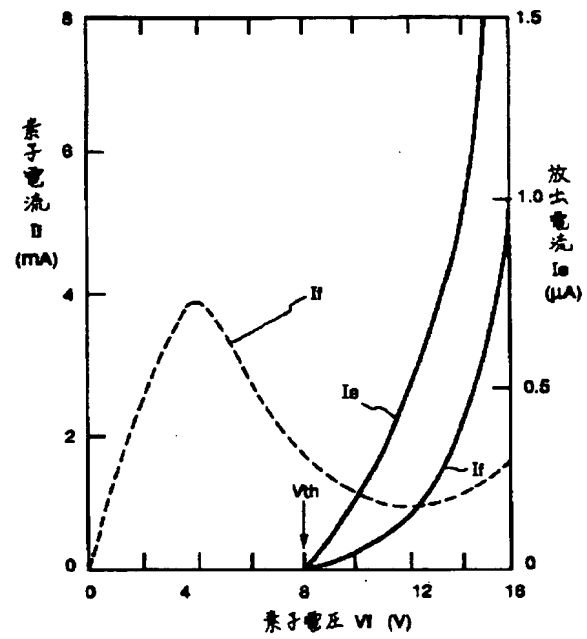
【図11】



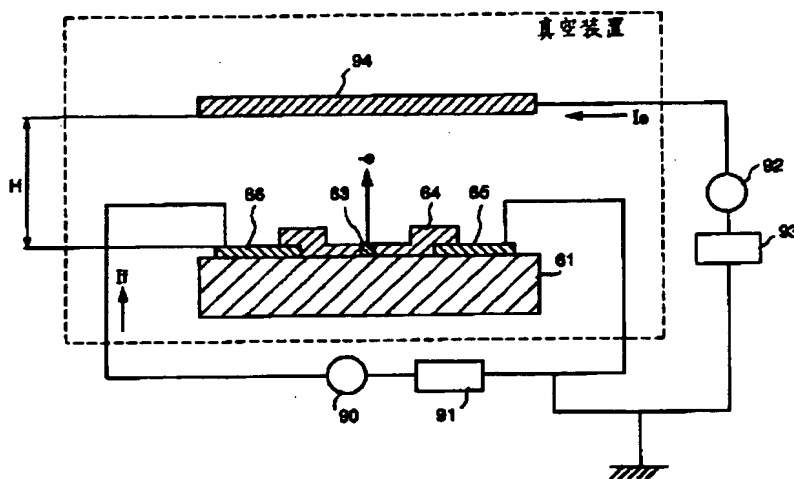
【図7】



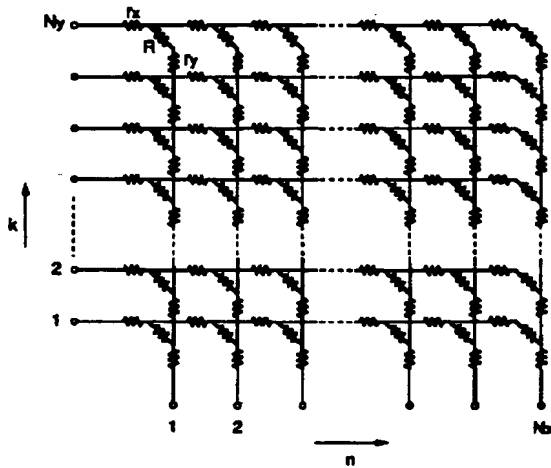
【図10】



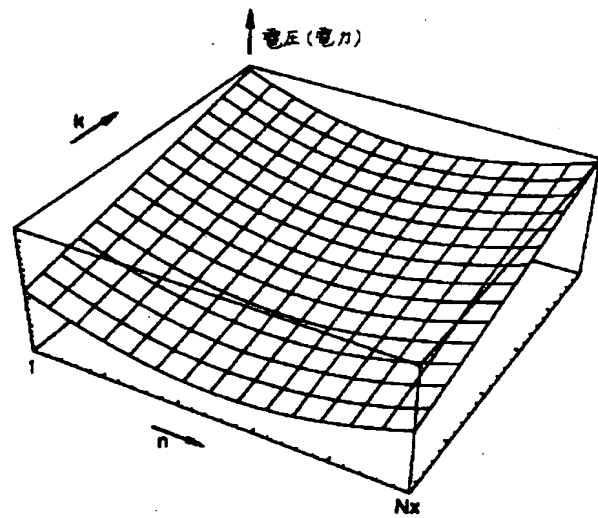
【図9】



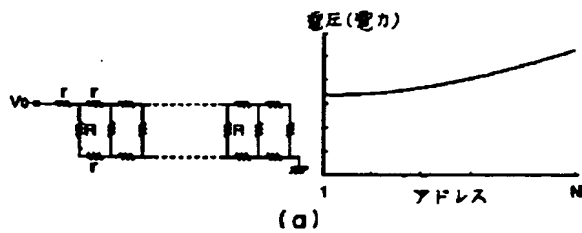
【図12】



【図15】

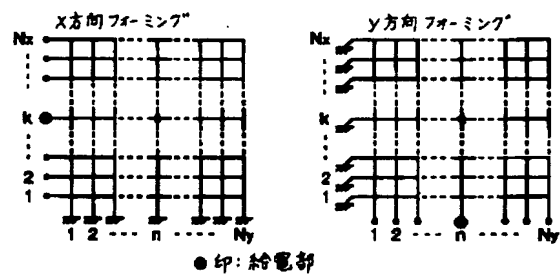


【図16】

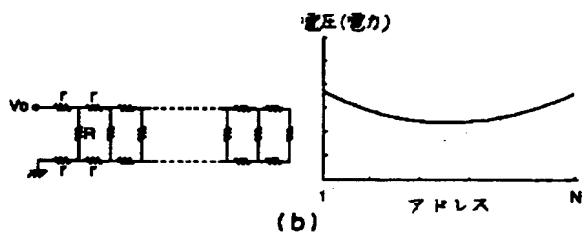


【図17】

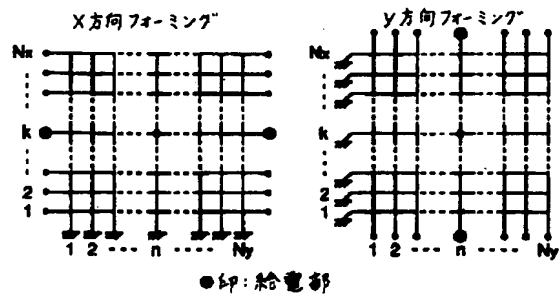
(a) 給電部が片側の場合



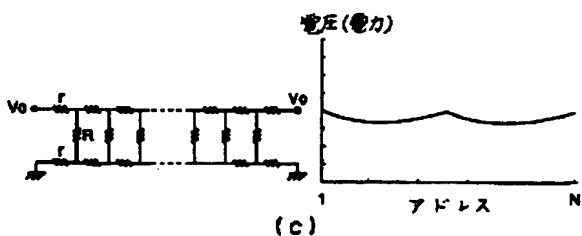
(b)



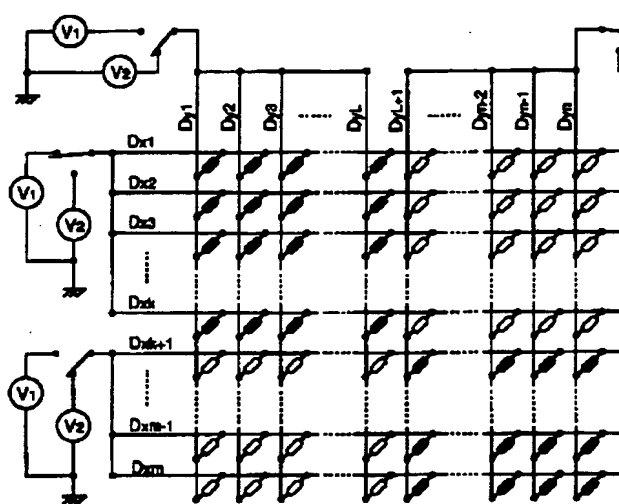
(b) 給電部が両側の場合



(c)

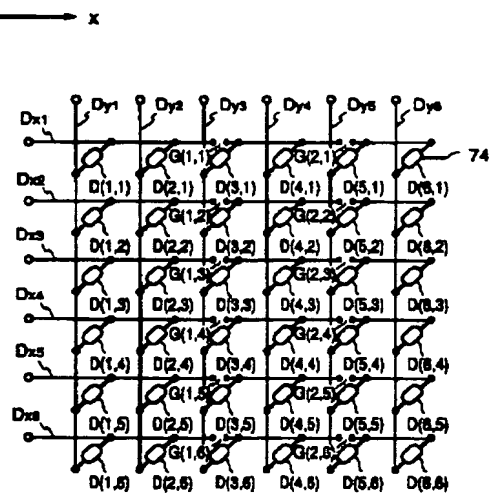


【図18】



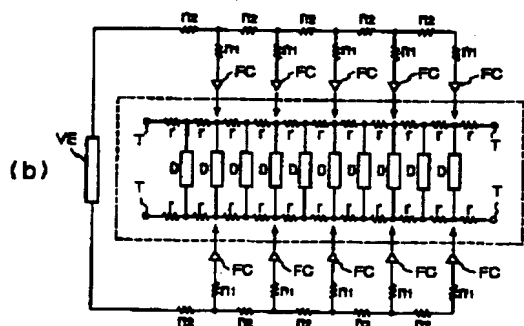
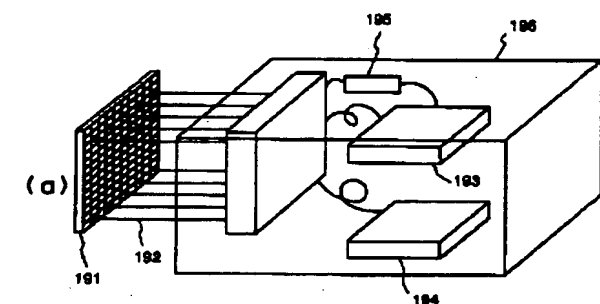
$\text{⦿}$  : V2-V1印加されるSCE  
 $\text{⦿}$  : 電圧印加されないSCE

【図20B】

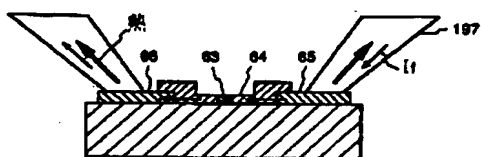


$\text{⦿}$  表面伝導型放素子

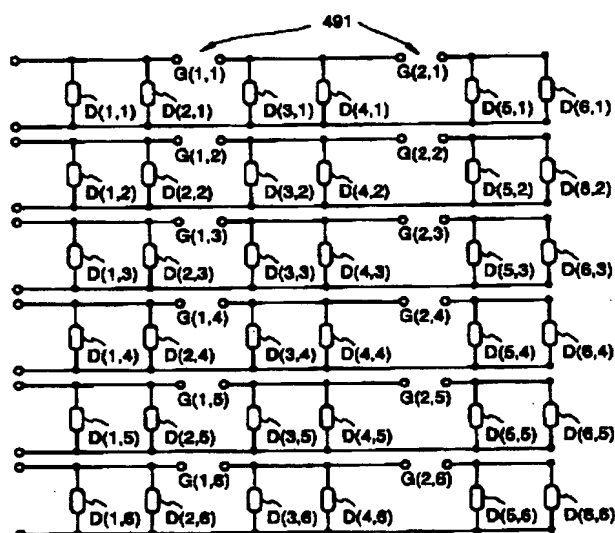
【図19】



(c)

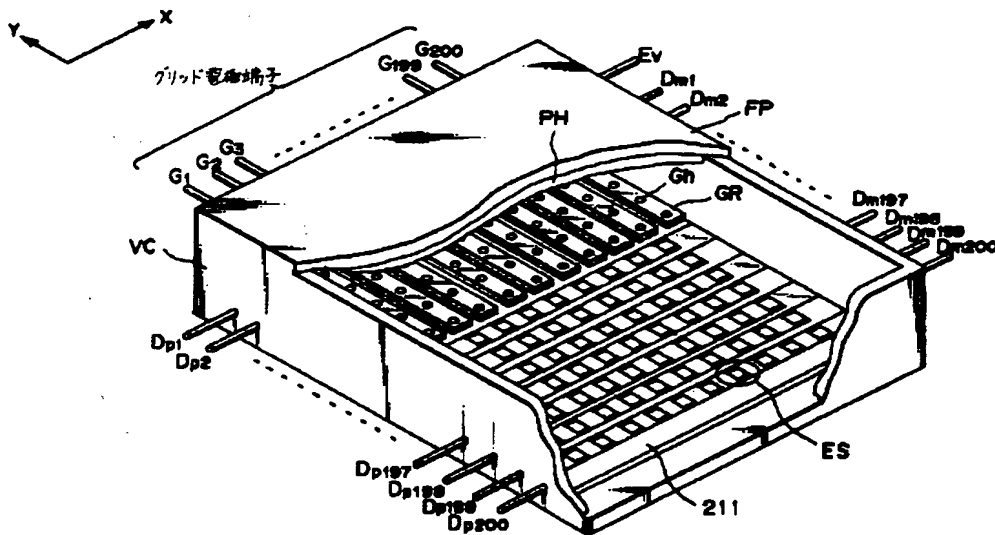


【図20A】

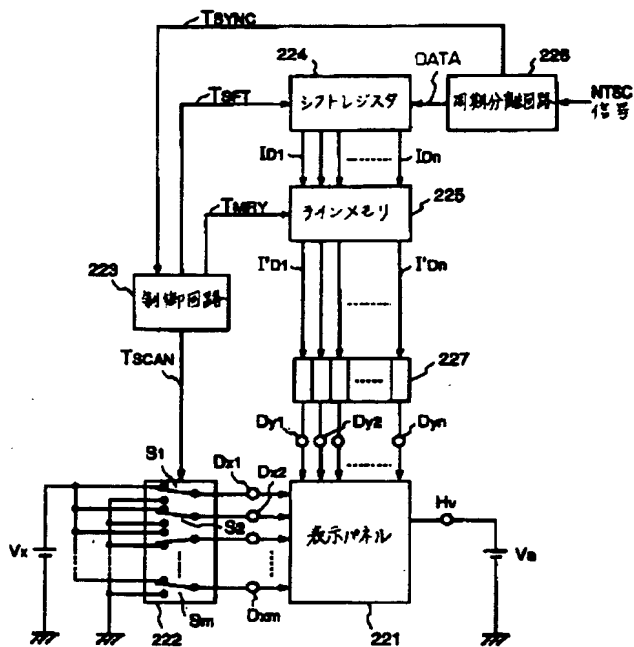


$\text{⦿}$  表面伝導型電子放素子

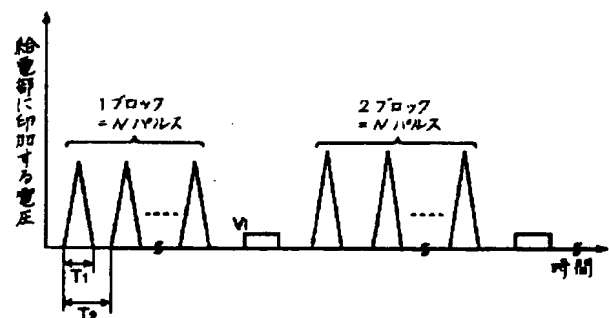
【図21】



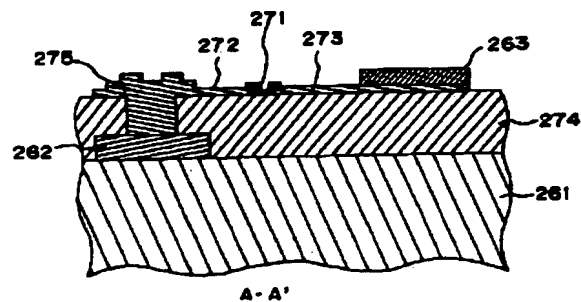
【図22】



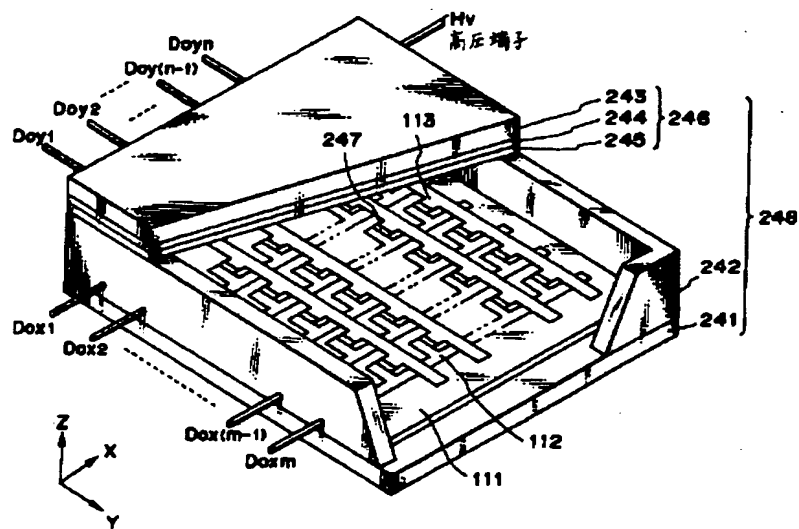
【図23】



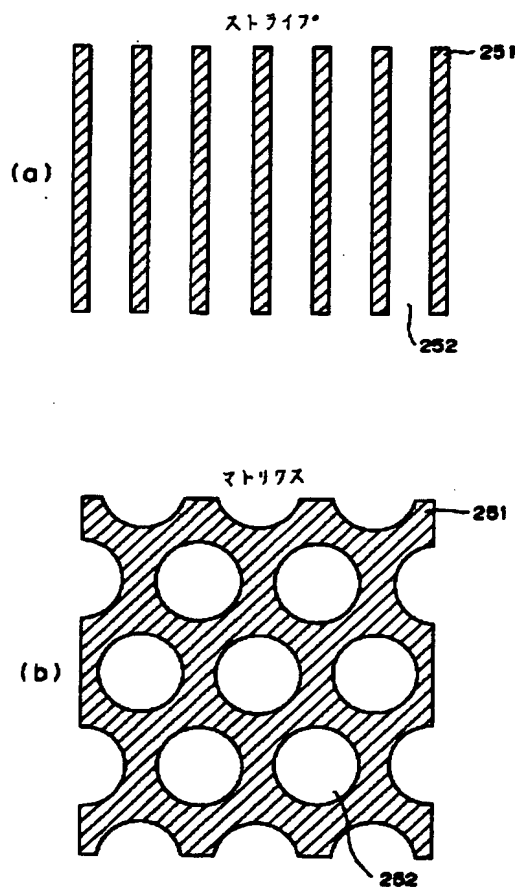
【図27】



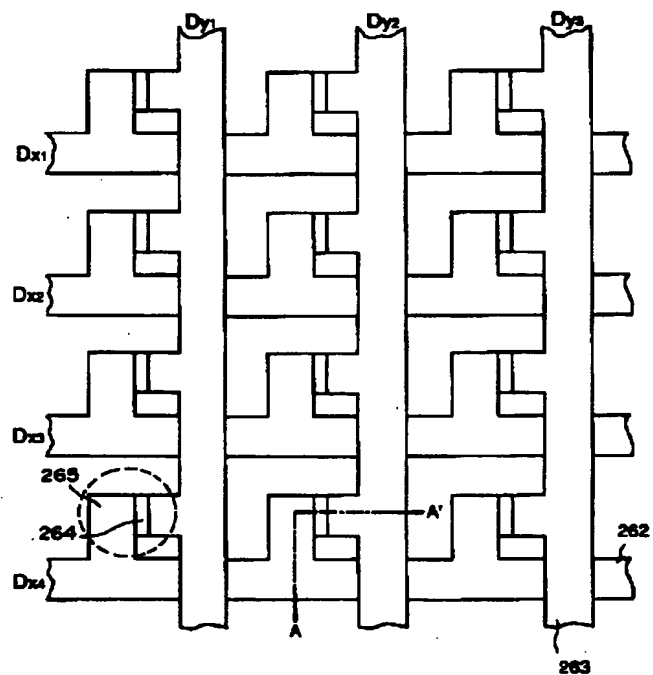
【図24】



【図25】



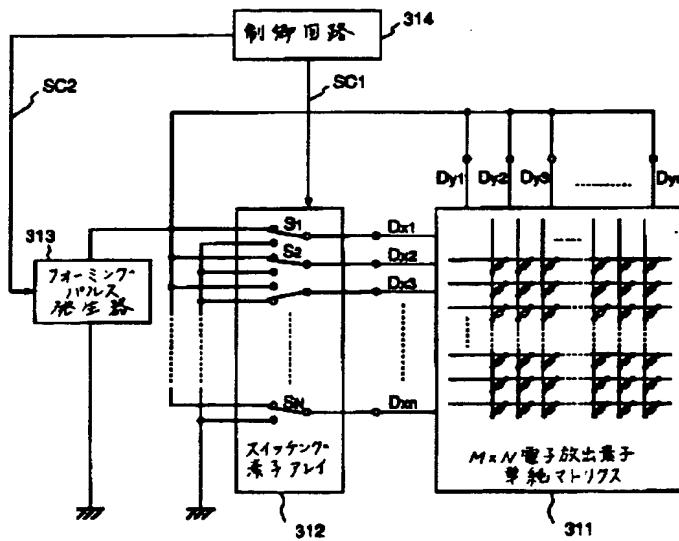
【図26】



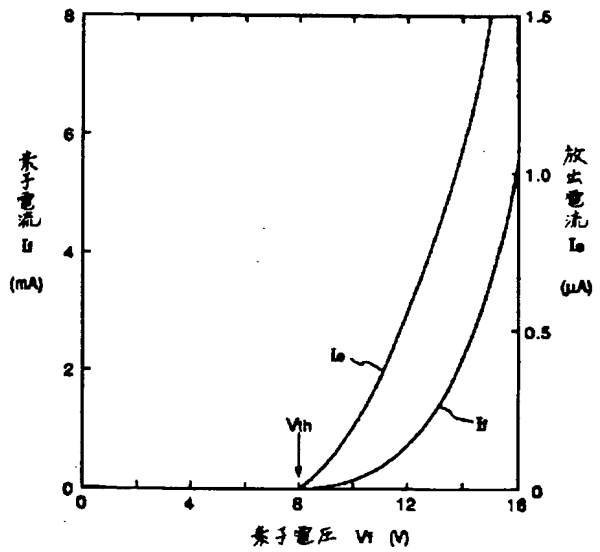




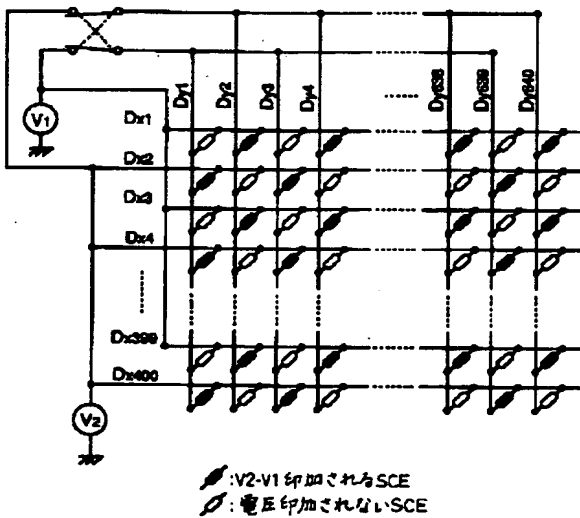
【図31】



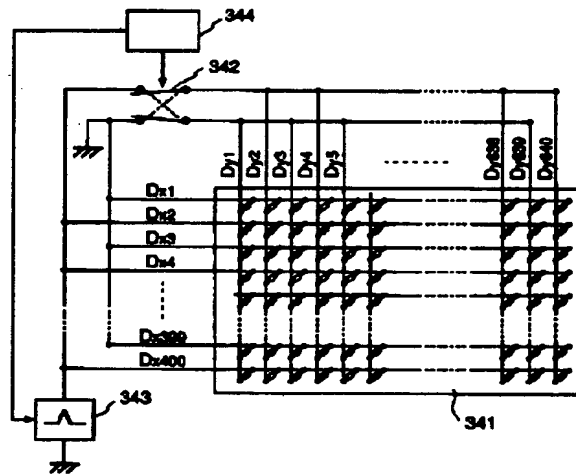
【図32】



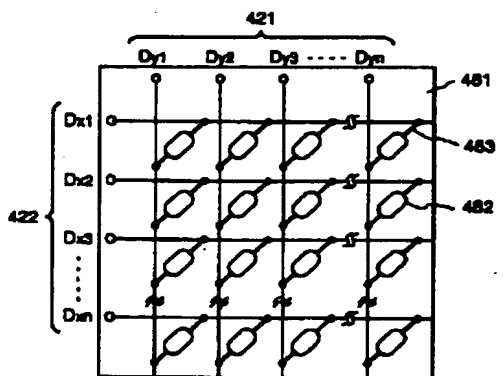
【図33】



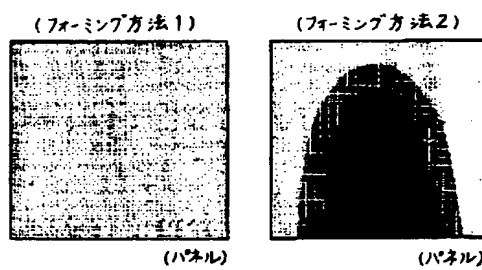
【図34】



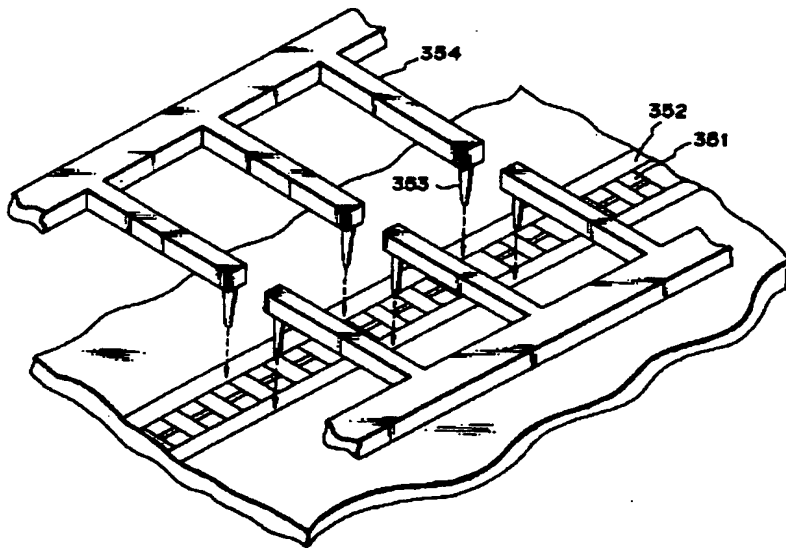
【図46】



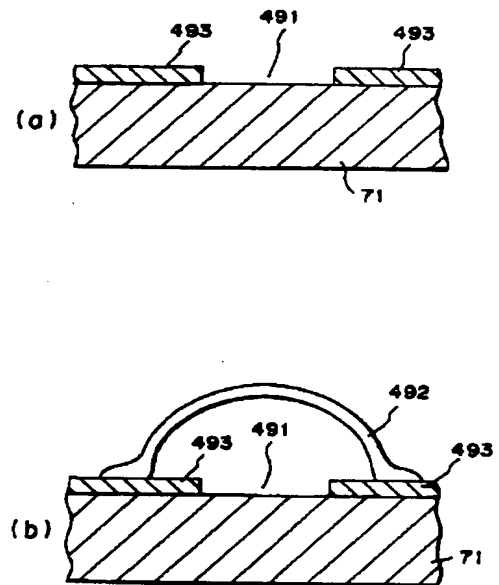
【図50】



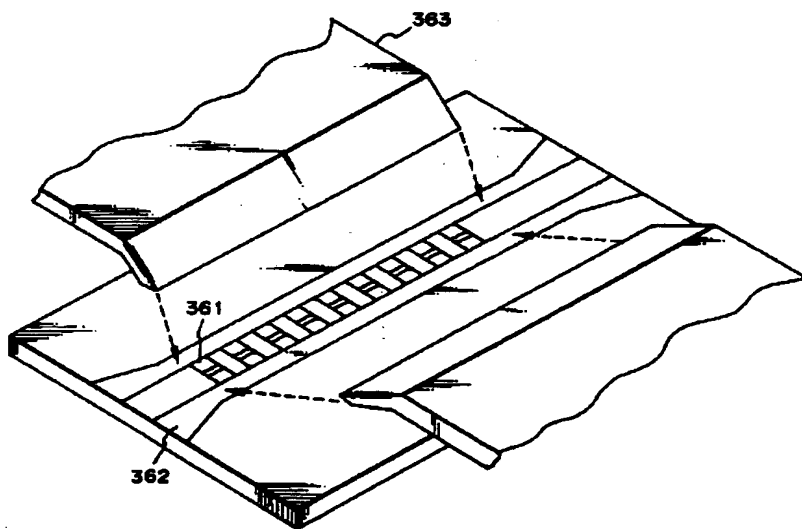
【図35】



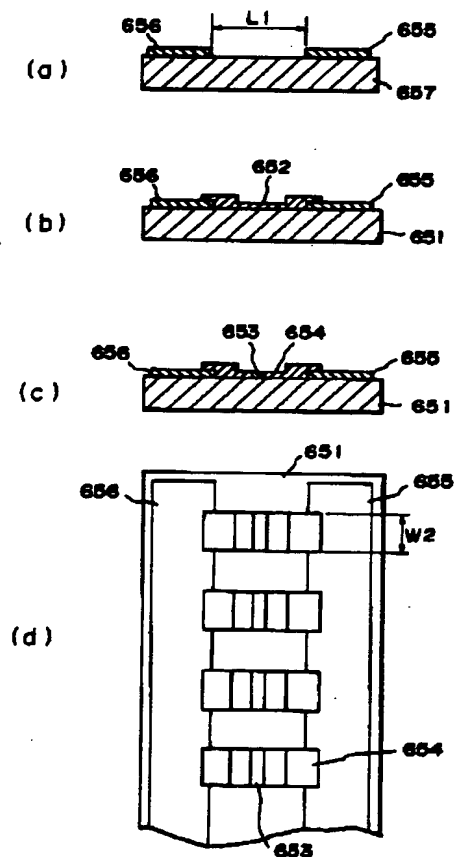
【図48】



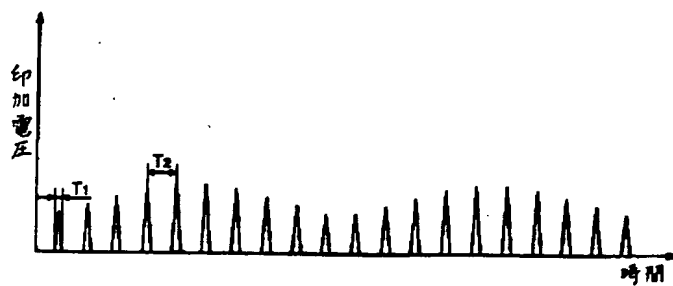
【図36】



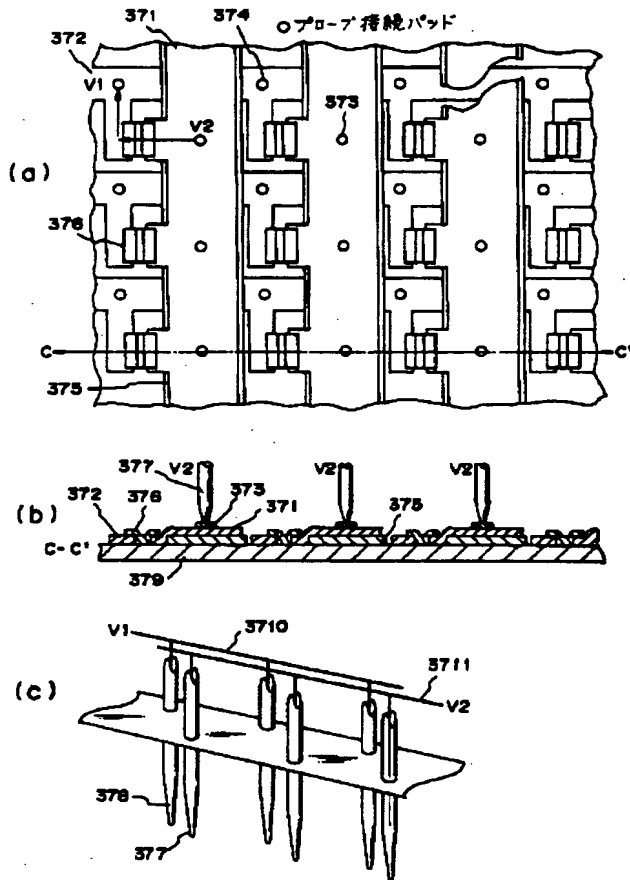
【図56】



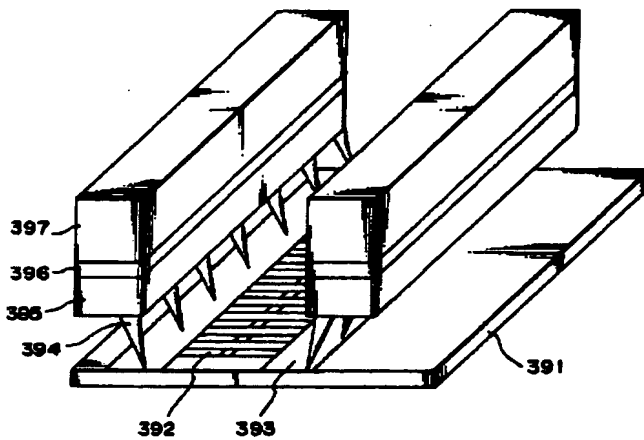
【図52】



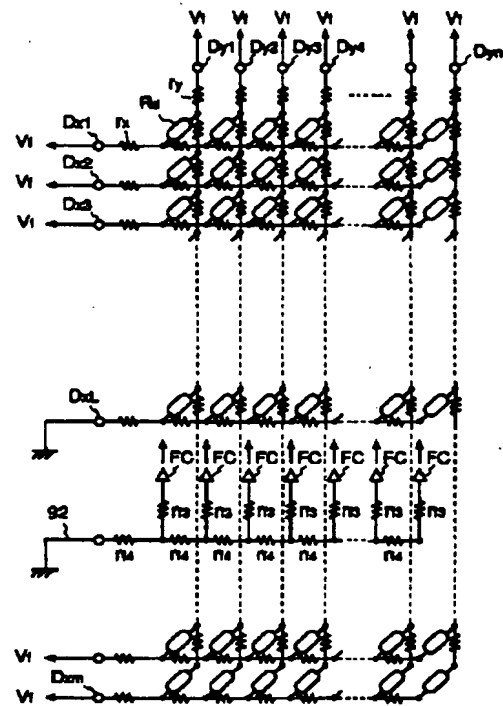
【図37】



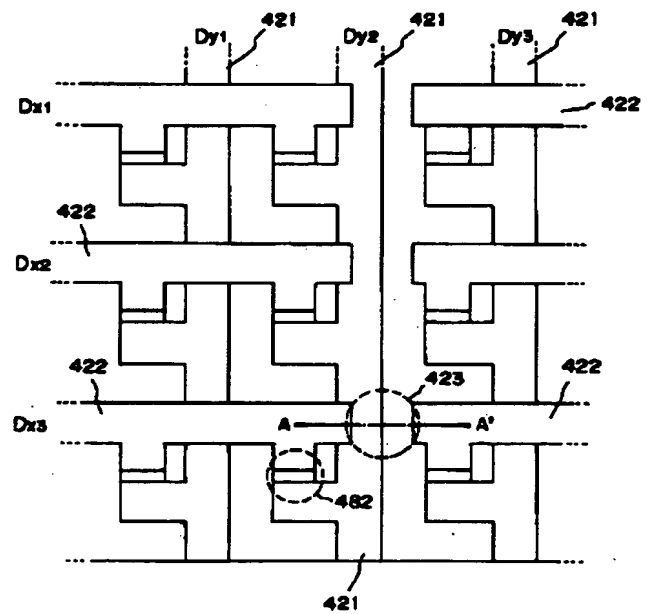
【図39】



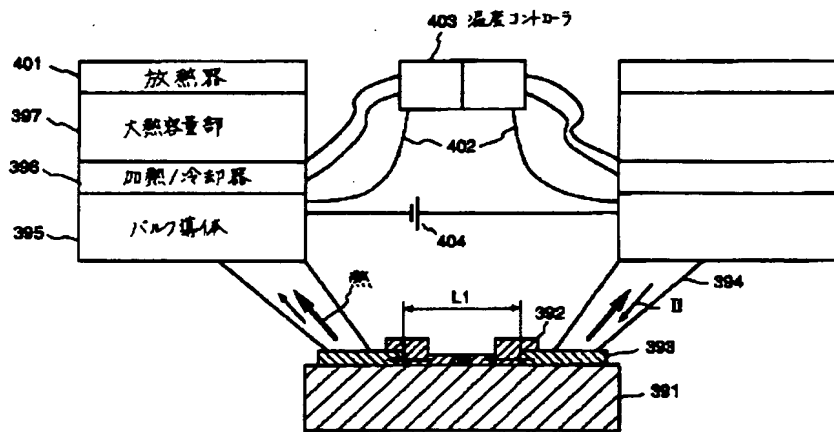
【図38】



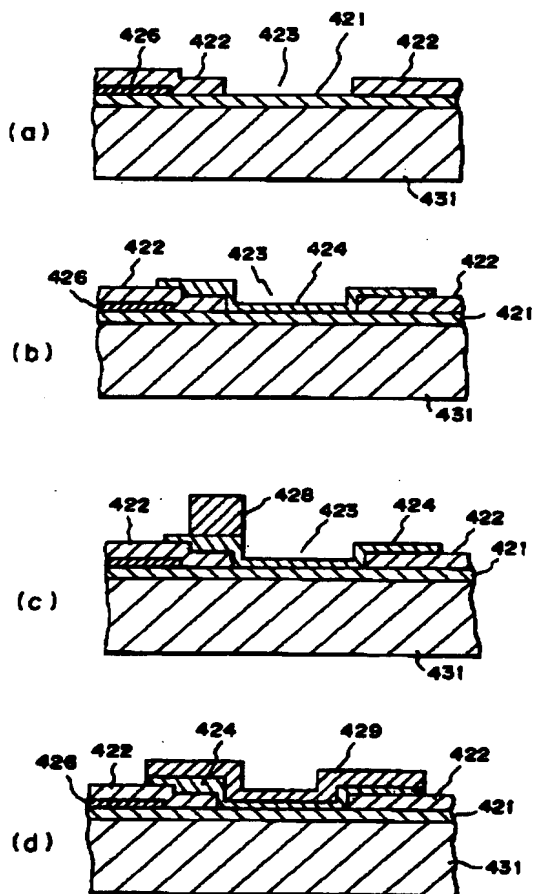
【図42】



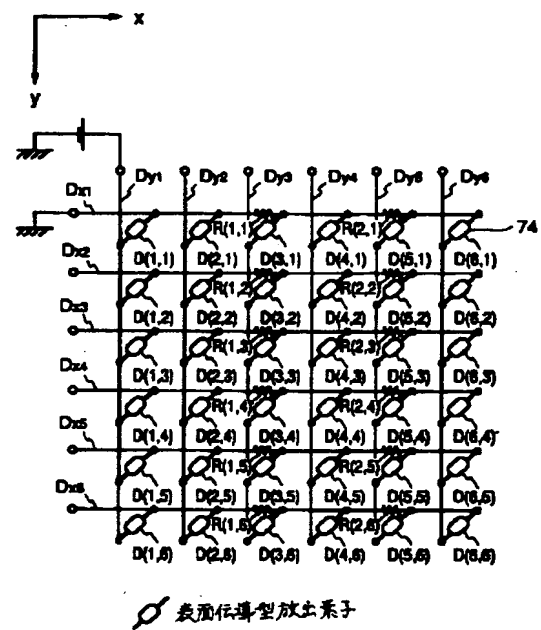
【図40】



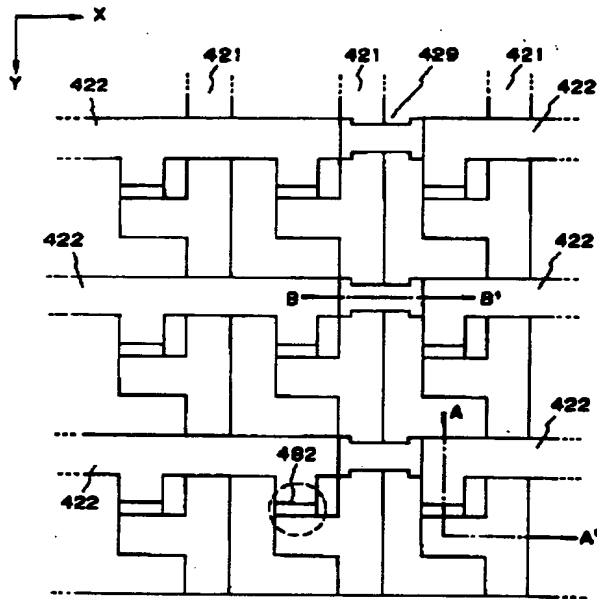
【図43】



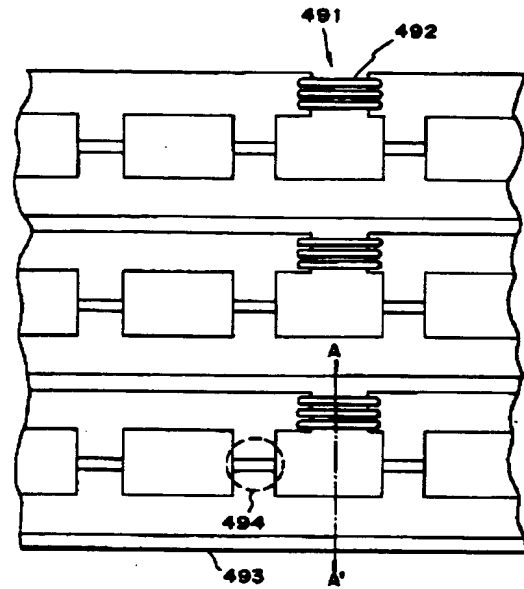
【図44】



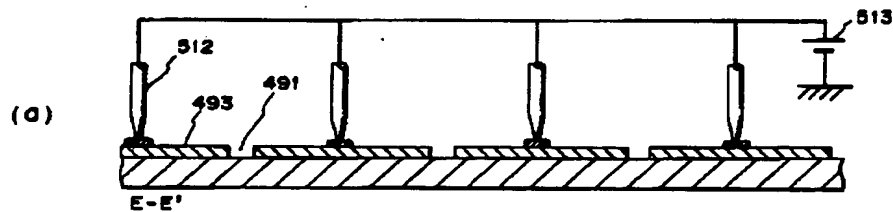
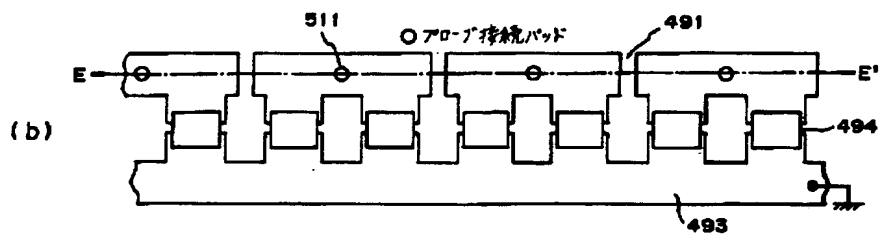
【図45】



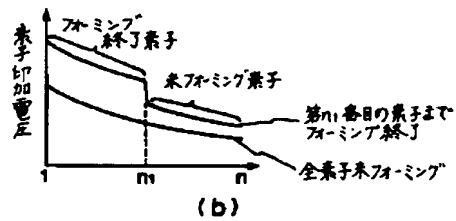
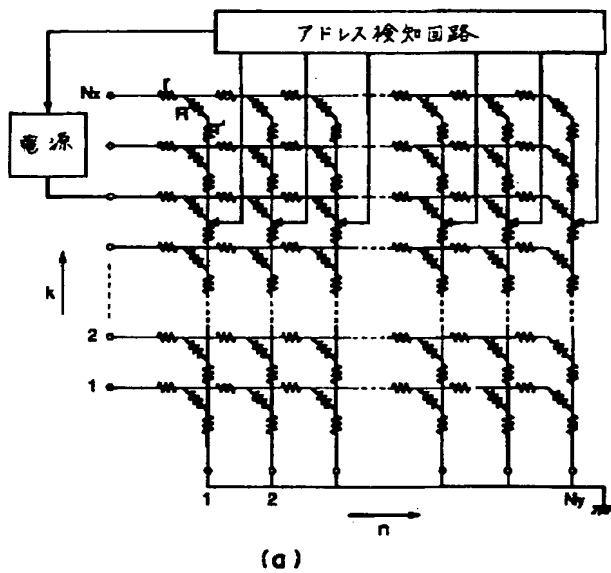
【图47】



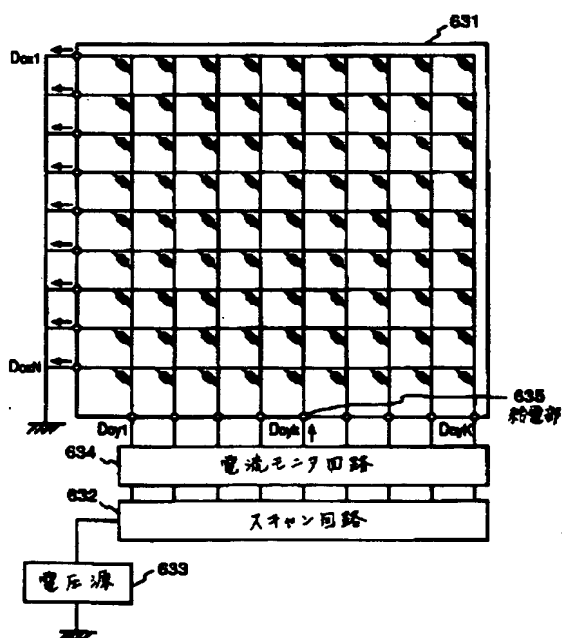
【図49】



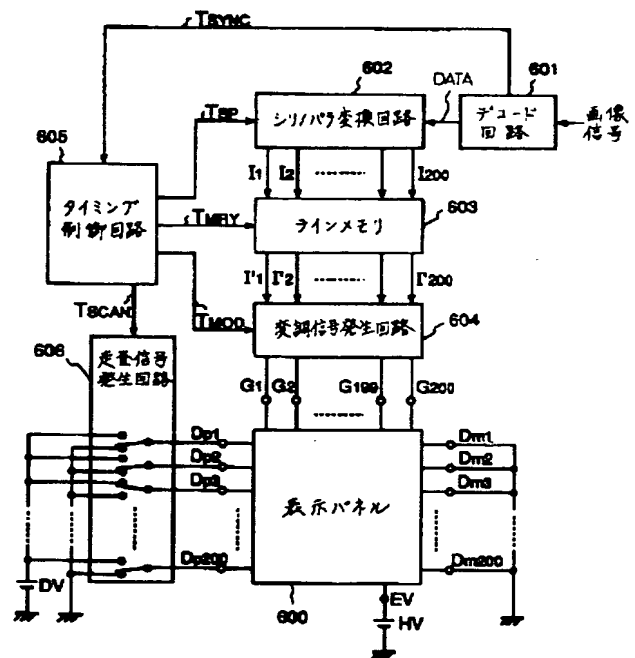
【図51】



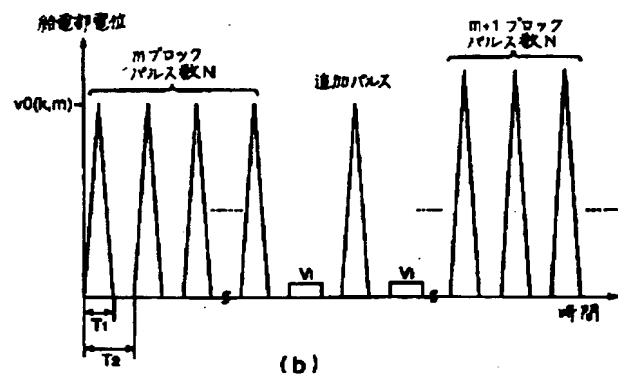
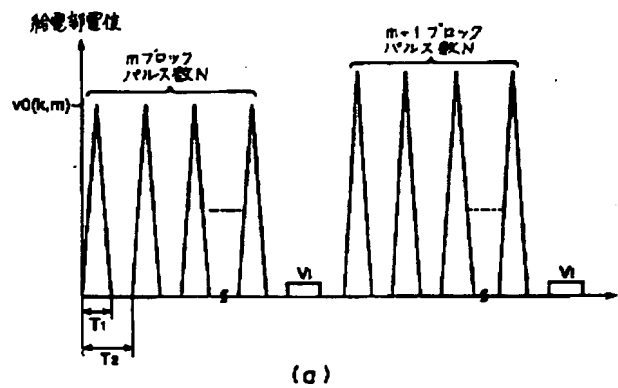
【図55】



【図53】



【図54】



## フロントページの続き

(31)優先権主張番号 特願平5-100088

(32)優先日 平5(1993)4月5日

(33)優先権主張国 日本(JP)

(31)優先権主張番号 特願平5-270343

(32)優先日 平5(1993)10月28日

(33)優先権主張国 日本(JP)

(72)発明者 長田 芳幸

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

(72)発明者 武田 俊彦

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

(72)発明者 磯野 青児

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

(72)発明者 野村 一郎

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

(72)発明者 戸島 博彰

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

(72)発明者 鈴木 朝岳

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

(72)発明者 小野 武夫

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

(72)発明者 浜元 康弘

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

(72)発明者 外處 泰之

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

(72)発明者 河出 一佐哲

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

(72)発明者 新庄 克彦

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

(72)発明者 奥田 昌宏

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内